轻 松 解 图 系 列

教你看懂
液晶、等离子
彩色电视机线路图

杨成伟 编著

http://www.phei.com.cn

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

轻 松 解 图 系 列

教你看懂液晶、等离子彩色电视机线路图

策划编辑：富 军
责任编辑：李雪梅
封面设计：徐海燕

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。

ISBN 978-7-121-08445-4
9 787121 084454 >
定价：35.00 元

轻松解图系列

教你看懂液晶、等离子彩色电视机线路图

杨成伟　编著

電子工業出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书采用将整机线路图分割成若干块，并在线路图中标注的方式，重点讲解了康佳 LC-1700T/TM2018/TM3216、TCL 王牌 LCD3026 等液晶、等离子彩色电视机整机线路的工作原理、集成电路的技术特点、引脚使用功能及单元电路中的信号流程。为清楚了解各功能电路（或集成电路）在整机线路中的连接走向，方便读者阅读，书后附有部分分割图的单元板电路图。

本书通俗易通，可供电器维修人员和电子爱好者阅读。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目（CIP）数据

教你看懂液晶、等离子彩色电视机线路图 / 杨成伟编著. —北京：电子工业出版社，2009.4
（轻松解图系列）
ISBN 978-7-121-08445-4

I. 教… II. 杨… III. ①液晶电视：彩色电视－电视接收机－电路图－图解 ②等离子体－彩色电视－电视接收机－电路图－图解 IV. TN949.1-64

中国版本图书馆 CIP 数据核字（2009）第 030114 号

策划编辑：富 军
责任编辑：李雪梅
印　　刷：北京智力达印刷有限公司
装　　订：北京中新伟业印刷有限公司
出版发行：电子工业出版社
　　北京市海淀区万寿路 173 信箱　邮编：100036
开　　本：787×1092　1/16　印张：17.75　字数：473.6 千字　插页：3 个
印　　次：2009 年 4 月第 1 次印刷
印　　数：4000 册　定价：35.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

前言

随着电视技术的快速发展，液晶、等离子等不同形式的数字高清彩色电视机已越来越广泛地进入百姓家庭，并逐步取代普通彩色电视机，因此，数字高清彩色电视机的维修问题也随之出现在人们的日常生活当中。同时也就更加紧迫地要求社会维修人员能够尽快掌握数字高清彩色电视机的维修技术。然而，要掌握数字高清彩色电视机的维修技术，就必须首先能够看懂数字高清彩色电视机的整机电路原理图，弄清整机线路的来龙去脉。

本书主要依据数字高清彩色电视机的机芯电路特点，分析介绍自 2001 年以来上市的 15～43 英寸液晶、等离子数字高清彩色电视机整机线路的工作原理及信号流程，以引领普通彩电维修人员及电子爱好者快速掌握高端彩色电视机的维修技术。

在液晶、等离子彩色电视机中，印制线路板上的线路，主要由贴片式集成电路组成，只有少量的电阻、电容、晶振等分立元件分布在各单元板电路中，因而使整机线路显得极其简洁，但是它们的工作原理及信号的处理过程却十分复杂。因此，要了解液晶、等离子彩色电视机整机电路的工作原理，就必须首先了解并掌握各功能电路或集成电路的基本特性和相关引脚的使用功能，特别是同一型号集成电路的同一引脚在不同品牌机型中的使用功能，因为同一型号集成电路的同一引脚在不同机型中的使用功能不同。

本书为方便读者检阅功能电路或单元电路的工作原理，在每一节或每一单元的编写过程中，总是直接给出功能电路的作用或是集成电路的名称，以使读者既能直接了解到功能电路或集成电路的基本性能，又能够看到在具体应用电路中的线路结构，从而起到举一反三、触类旁通的作用。这是本书的最大特点之一。

参加本书编写的还有周海波、滕素贤、滕绍刚、杨长武、杨雅丽、滕艳玲、王庆喜、滕绍毅、韩晓明、杨丽华、杨丙文和夏庆臣。

本书所收集的电路图均按原机型绘制，其中涉及的电路图符号、技术说明等会有不符合国家标准之处，但编辑时未做规范，主要是为了便于查阅。

由于作者水平有限，还望读者批评指正。

编著者

目录

液晶、等离子彩色电视机概述 …… 1

第 1 章　教你看懂康佳 LC-1520T/1521T 液晶彩色电视机整机线路图 …… 3
1．JS-6B1/111（4D121）频率合成高频调谐器及中频输出电路 …… 4
2．TDA740D 伴音处理电路 …… 6
3．TDA7268 双音频功放输出电路 …… 7
4．SAA7114H 多制式视频解码器 …… 8
5．M6759 MCU 微处理器电路 …… 10
6．RGB/VGA 输入接口电路 …… 12
7．gm5010 图像数字处理控制电路 …… 14
8．液晶屏显示器引脚及 8 位 RGB 基色信号输入电路 …… 16
9．LM2596S-5.0 电源管理电路 …… 20
10．低压电源滤波电路 …… 22
11．M6759/PLCC44 微处理器（MCU）控制电路 …… 24
12．gmZAN2 图像数字处理控制电路 …… 27

第 2 章　解读康佳 LC-1700T 液晶彩色电视机整机线路图 …… 33
1．伴音小信号处理及功放输出电路 …… 34
2．多制式视频解码器电路 …… 36
3．P89C61X2BA 微处理器控制电路 …… 38
4．CN702、CN703 接口电路 …… 40
5．PC-VGA/RGB 输入接口电路 …… 42
6．gm5020 图像数字处理控制器电路 …… 46
7．LVDS83A 驱动及液晶显示器电路 …… 48

第 3 章　解读康佳 LC-TM2018 型液晶彩色电视机整机线路图 …… 53
1．TV 接收及 IF 信号输出电路 …… 54
2．TDA9885T 中频信号处理电路 …… 54
3．MSP3463G 多标准音频处理电路 …… 56
4．TDA1517A 双通道立体声功率放大器 …… 58
5．PQ05RD11 和 MP1410ES+5V 稳压电路 …… 60
6．TC90A69F 数字 Y/C 分离电路 …… 62

7. 外部 AV 信号输入电路 …… 64
8. TB1274AF 视频信号解码电路 …… 66
9. Z86229TV 信号处理电路 …… 68
10. 本机键盘输入电路 …… 70
11. 74LVC541A 三态线性驱动缓冲器 …… 71
12. 74LV273A 八路四态数字缓冲器 …… 72
13. 开关稳压电源电路 …… 74
14. 74HC4052D 电子开关转换电路 …… 76
15. FSAV330 视频转换开关电路 …… 78
16. PW1306 LCD 图像处理控制电路 …… 82
17. 显示控制电路 …… 90
18. AM29LV800BT-90 程序存储器电路 …… 91

第 4 章　解读 TCL-LCD3026 型液晶彩色电视机整机线路图 …… 96
1. 80C32PLCC 控制器 …… 96
2. AT24C16E²PROM 只读存储器 …… 98
3. W27C0320/SST29E020 程序存储器 …… 100
4. FLI2200 图像处理电路（L6A 部分） …… 104
5. AD9883 图像数字化处理电路 …… 106
6. FIL2200 图像处理电路（U6B 部分） …… 110
7. VGA 接口电路 …… 112
8. K4S643232C SDRAM 存储器 …… 114
9. FLI2200 图像处理电路（U6C）部分 …… 115
10. JAGUAR-DIGI-TAL（U11A） …… 116
11. JAGUAR-SDRAM（U11B） …… 118
12. JAGUAR-PANEL（U11C） …… 120
13. JAGUAR-ANALOG（U11D） …… 122
14. K4S643232C（U12）SDRAM 存储器 …… 124
15. K4S643232C（U13）SDRAM 存储器 …… 126
16. SiI161/TMDS 数字解码输出电路 …… 128
17. RP16～RP26 排阻电路 …… 136
18. BACKLIGHT 背光灯供电源控制电路 …… 138
19. SN75LVDS83 液晶屏驱动电路 …… 140
20. LCD 引脚电路 …… 144

第 5 章　解读康佳 PDP4618 型（PW181 机芯）等离子彩色电视机整机线路图 …… 145
1. TV 接收电路及预中频放大器 …… 146
2. TDA9885T 中频处理电路及声表面波滤波器 …… 148
3. 耳机输出接口及静噪控制电路 …… 150
4. MSP3463G 多制式音频处理系统 …… 152

5. VPC3230D 主画面视频数字解码电路 …… 158
6. N385（VPC3230D）副画面视频数字解码电路 …… 161
7. PW1232 数字扫描格式变换电路 …… 161
8. Flash-8M 程序存储器 …… 167
9. XS030（SOCKET30X2-NS）显示屏引脚插座线路 …… 170
10. MT48LC4M16A2 同步动态存储器电路 …… 172
11. PW181 图像像素处理电路 …… 173
12. MST3788 DVI、RGB 输入 A/D 变换电路 …… 180
13. LM239D 按键控制电路 …… 183
14. DS90C385MDT 低压差分（LVDS）平板显示链路发送器 …… 184
15. 外部 VGA 输入接口电路 …… 188
16. DVI 数字视频交互（技术）接口电路 …… 189
17. 低压电源管理电路 …… 192
18. YPbPr/HDTV 输入接口电路 …… 194

第 6 章 TCL PDP 42U3A-L（PW118 机芯）等离子彩色电视机整机线路图 …… 195
1. DVI 数字视频输入接口电路 …… 196
2. VGA 输入接口电路 …… 198
3. YPbPr 色差分量信号输入接口电路 …… 200
4. RS232ESD 保护接口电路 …… 201
5. PW188 机芯数字板电路原理图 …… 202
6. THC63LVDM83A 程序存储器 …… 204
7. PW3300 视频解码电路 …… 206
8. SDRAM×16M-TSOP50 同步动态存储器 …… 211
9. PW118 图像处理电路 …… 211
10. M13S128168A 动态随机存储器 …… 218
11. U20（Flash-8M）闪速存储器 …… 219
12. PIC16F716 MCU 微控制器电路 …… 222
13. S35380A 时钟振荡电路 …… 224
14. TPA3004D2 音频功放电路 …… 226
15. MSP3450 音频信号处理电路 …… 229
16. TUN1（Q7-389F15-Nxo）高频调谐器电路 …… 232
17. SYNC-SEP 复合同步信号输出电路 …… 234

第 7 章 解读康佳 PDP4217G 等离子彩色电视机整机线路图 …… 235
1. VPC3230D 视频解码电路 …… 236
2. FLI2310 数字格式变换电路 …… 238
3. SDA5550M-QB 图文电视信号处理器 …… 241
4. W39L040P（PLCC32R/S）程序储存器 …… 242
5. W39L080P-70B 程序储存器 …… 244

6. 1S61LV2568L-10T 程序储存器 …… 244
7. P15V330 视频转换开关电路 …… 245
8. GM1601/GM1501 图像信号处理电路 …… 246
9. THC63LVD103 低压差分信号传送电路 …… 251
10. W941232AD 128MB 数据缓冲存储器 …… 252
11. W986432DH 64MB 图像缓冲存储器 …… 254
12. MSP3420G 多制式音频处理器 …… 256
13. TDA1308 耳机驱动电路 …… 259
14. TDA8946J 双伴音功放输出电路 …… 260
15. 低压电源供电电路 …… 262
16. VGA 和 S 端子输入接口电路 …… 264
17. DVI 数字视频及 SCRT 输入接口电路 …… 266
18. 等离子屏显示器功率脉冲电源电路 …… 268
19. 开关稳压电源电路 …… 272

液晶、等离子彩色电视机概述

自从 20 世纪中期夏普公司研制出分子排列具有方向性的液态晶体（简称液晶）以来，人们便利用液晶分子在电场中能够被极化为正负两极的电特性，开始研发 LCD（Liquid-Crystal Display）液晶显示器和液晶电视机。与此同时，人们也在依据电离学说和气体放电理论不断探讨研制 PDP 等离子显示器。但由于人眼总是依据亮度、对比度、色彩还原能力、显示色温、清晰度等几个方面的表现，对 LCD 和 PDP 电视进行感观平价，在现实生活中，人们观看电视节目时，总需要有一个合理的收视环境和良好的图像画面。但在一般情况下，就其亮度来说，LCD 的最大峰值亮度与有用平均亮度相同，它适合于观看风景、照片等明亮画面，而 PDP 由于发光机理不同，使其峰值亮度要比有用平均亮度大很多，画面中的较亮部分会更加明亮，特别适合观看电影画面，由于 LCD、PDP 都有不同程度的缺陷和不足，长期以来就一直处于比较缓慢的发展状态。

直到 2001 年随着数字处理及计算机技术的飞速发展，LCD 液晶电视机和 PDP 等离子电视机才有了长足发展，特别是到 2006 年由于 LCD 技术的不断攀高，推动了液晶平板电视机不断提升为双倍高清、4 倍高清，甚至 8 倍高清，但 PDP 电视机则由于依靠高压击发等离子气体发光而显像，且电极放电又需要一定的间隙，至使 PDP 面板上的像素点间隙难以缩到很小，在一定面积的 PDP 面板上能排列的 PDP 像素有限，这就使 PDP 的分辨率的提升难度比 LCD 大很多，其发展速度也就相对缓慢。

但在目前平板电视机的发展趋势下，LCD 和 PDP 都有不断发展的新技术。

1．LCD 的新技术

LCD 的新技术主要有以下四个方面。

（1）快速响应技术

在早期的液晶显示技术中，一个突出的缺点是响应速度过慢，在显示动态影像时会出现拖尾现象。因此缩短响应时间就成了改进液晶显示技术的一个主要问题。目前采用缩短响应时间的技术有两种方法，一种是采用黑屏插入技术，它主要是在每个图像帧之间插入黑色帧，以产生与 CRT 相似的快速脉冲调制效应；另一种是在不改变原有显示技术的情况下，采用过驱动技术，可使响应时间缩短到 4ms，目前各大液晶显示器生产厂商都已采用过驱动技术。过驱动技术是通过调整驱动电压来实现的。

（2）背光源技术

在 LCD 显示器中，液晶面板是一种被动式显示器件，即自己不能发光，只能由光源照射来显示图像，因此，在 LCD 显示器中，常是采用冷阴极荧光管作为背光源，但其寿命一般在 30 000～50 000 h。为此，正在兴起一种采用 LED 背光源的新技术，但其成本较高。

（3）广视角技术

在 LCD 显示技术中，由于液晶体在电场中具有能够被极化的特殊性质，使其透光板形成了一定的角度，因而也就限制了显示屏的最大视角。但对大屏幕 LCD 电视机而言，屏幕越

大，其边缘相对观众的视角就越大，失真也就越大，因此就要引入广视角技术，目前液晶电视厂商都采用了广视角技术，可以使视角在170℃以上。

（4）面板技术

面板技术是改善图像彩色效果、亮度、对比度的重要措施之一。2006 年全球最大的 LCD 电视厂商夏普公司就已经开发出第 8 代面板。目前面板技术的不断更新正在促进 LCD 平板电视机的快速发展。

2. PDP 的新技术

PDP 的新技术主要有以下两个方面。

（1）电路驱动技术

电路驱动技术主要是通过设计更合理的驱动波形，来提高图像的亮度和对比度。其主要方案是采用强光环境技术，它可通过 256 通道的驱动 IC 调节亮场的对比度来使 PDP 屏幕在强光直接照射下仍能显示理想的可视图像。同时又能有效降低整机功耗的 35%。

（2）面板技术

目前 PDP 面板的新技术主要有三种，第一种是富士通公司研发的表面交替发光技术，它可使屏体的垂直分辨率增加一倍；第二种是三星公司开发的气室结构改造技术，它主要是将气室设计成六角形，可加大可视角度；第三种是 LG 公司开发的玻璃层替换技术，它主要是将上层玻璃替换为一层特制的高硬度薄膜，可减少玻璃带来的重影、反光等现象。

目前，LCD、PDP 平板电视机将越来越精细化，以满足人们的收视要求。但由于平板电视机具有高清晰度显示和数字驱动的特点，使得它正在朝着多媒体终端和家庭网络中心的方向发展，这就又要求其功能必须扩展。

在平板数字电视机中，成功的功能扩展主要有两种，一种是多合一读卡器，另一种是 USB 接口和媒体信号处理。但它们都是基于具有 32 倍 MPU 内核的系统芯片，其片内解码器能够支持 JPEG、M-JPEG、MPEG-2 和 MP3 等解码，能够直接驱动 USB 接口，并从 USB 接口读入流媒体数据。当功能扩展接口规范化以后，对于模拟平板电视机，可利用一个数字调谐接收模块实现功能扩展，而在数字平板电视一体机上，可以扩展其他信道接收调谐器，以及家庭网络控制模块、无线传输模块等。目前已出现一些功能强大的数字媒体处理系统，如 CC1100、TMS3200M6446 等数字媒体处理器。但目前的 LCD、PDP 电视机正处于向数字化转变的过渡期，其接收前端仍是机顶盒。

但随着我国地面数字电视开播，LCD、PDP 电视机必将朝着数字一体的方向发展。

第 1 章　教你看懂康佳 LC-1520T/1521T 液晶彩色电视机整机线路图

康佳 LC-1520T/1521T 是康佳集团生产的第一代 LCD 液晶彩色电视机，两者仅在微处理器控制和图像数字处理控制电路上有所差异，而在 TV 接收、中频处理及伴音功放等电路上则基本相同。它们的整机机芯技术主要采用了：

JS-6B1/111 频率合成式高、中频一体化高频调整器；

U202 TDA7440D 具有 I^2C 总线控制功能的音频信号处理电路；

U203 TDA7268 双伴音功率输出电路；

U204 KA7809 +9V 稳压器；

U400 gm5010 图像数字处理控制器（用于 LC-1520T）；

U200 gmZAN2 图像数字处理控制器（用于 LC-1521T）；

U302 M6759/PLCC44 MCU 微处理器（用于 LC-1521T）；

U501 M6759 MCU 微处理器（用于 LC-1520T）；

U500 24LC16B E^2PROM 存储器（用于 LC-1520T）；

U800 SAA7114H 多制式视频解码器；

U900 LM2596S-5.0 电源管理电路；

U702 AS1117M3-2.5(S0T223)+2.5V 稳压器；

U703 SPX1587 YT-3.3/LM1086CS-3.3(T0-263)+3.3V 稳压器；

U403 AS1117M3-2.5(SOT223)+2.5V 稳压器。

与该机的主机芯电路基本相同的机型还有 LC-1520G，但它的 TV 接收、中频处理及伴音电路有所不同。

由于该种机型的整机线路图基本上可以自成独立单元电路，故本章就不在书后给出附图。

1. JS-6B1/111（4D121）频率合成高频调谐器及中频输出电路

JS-6B1/111（4D121）是一种高中频二合一调谐器，它将彩色电视机中的高、中频信号处理电路均设置在一个独立的小盒内，其主要特点是分别输出视频信号和音频信号，并受控于 I^2C 总线，同时不再有传统高频调谐器的 AFT 和 AGC，以及调谐电压等诸多引脚，极大地减少了外围接口电路中的元件数量，因此，它特别适用于液晶等高端彩色电视机中的电路设计，如图 1-1 所示。但它在具体应用中，一旦出现故障，其整机的故障现象将不再与传统机型所反映的故障现象相同或相似，而主要表现的是无光栅、I^2C 总线控制功能失效等。

图 1-1　JS-6B1/111（4D121）频率合成高频调谐器应用电路

JS-6B1/111(4D121)引脚功能及工作电压：

①②脚，空置未用，原预留为调谐电压或调谐电压输入端。

③脚，工作电压输入端，主要用于高频电路，正常工作时该脚电压约 4.9V。

④脚（SCL），I^2C 总线时钟线，正常工作电压约 2.1V。当该脚电压异常时，会引起黑光栅或不开机等故障。

⑤脚（SDA），I^2C 总线数据线，正常工作电压约 2.3V。当该脚电压异常时，会引起黑光栅或不开机等故障。

⑥⑦脚和⑧⑨脚，空置未用，原预留为系统控制和 AFT 自动频率微调。

⑩脚（VIDEO），用于视频信号输出，有信号时工作电压约 0.6V，无信号时工作电压约 1.3V。

⑪脚，工作电压输入端，主要用于中频电路，正常工作时该脚电压约 4.9V。

⑫脚（AUDIO），用于音频信号输出，有信号时工作电压约 2.1V，无信号时工作电压约 2.9V。其音频电路应用框图如图 1-2 所示。

TV 接收、中频处理及伴音功放电路组装在一个小块的电路板上，其中 TV 接收和中频处理电路组合在频率合成式高、中频一体化高频头内部，并通过 I^2C 总线受控于中央微处理器，U202（TDA7440D）为音频处理电路，也通过 I^2C 总线受控于中央微处理器；U203（TDA7268）为伴音功放输出电路，通过 220μF/16V 电容交流驱动左右两只扬声器。该块电路的故障率较高，除常见的无伴音故障外，还有一些字符移位等显示异常的现象，但这时若 CPU 部分正常，应注意检查 SCL 时钟线和 SDA 数据线工作电压是否正常，正常时应为 5V，若偏低，可断开 U202（TDA7440D）㉑ ㉒脚外接的 R2922、R2933，然后再测总线电压，若仍不正常，再拔下高频头连接线 CN820 后测总线电压，若正常，则说明高频头内部电路有故障或稳压供电电路异常。因此，在一些疑难故障检修中，应注意检查或更换一体化高频头。

小经验——康佳 LC-1520T 有图像、无伴音故障检修

在传统电视机中，有图像、无伴音一般是伴音处理电路或功放输出级电路有故障，检修时只要注意检查伴音处理电路和功放级电路及其供电源电路即可排除故障。但在康佳 LC-1520T 液晶彩色电视机中，有图像、无伴音的故障原因还常常涉及频率合成式高中频一体化高频调谐器。因此，在检修液晶彩电有图像、无伴音故障时，可在通电开机后，首先输入 AV 信号，看故障是否依旧，如果仍是有图像、无伴音，则一般是伴音处理电路、功放输出级电路或是静音控制电路有故障，这时应重点检查 U202（TDA7440D）和 U203（TDA7268）及其外围元件，如果在输入 AV 信号时图像和声音均正常，则一般是频率合成式高、中频一体化高频调谐器局部电路有故障，这时应注意检查 CN820⑥脚和 JS-6B1/111 高频调谐器的⑫脚是否有正常的变化电压或信号波形。若无电压或信号波形，则应更换调谐器或 TDA7440D。

图 1-2　音频电路应用框图

2. TDA7440D 伴音处理电路

TDA7440D 是一种具有 I²C 总线控制功能的双伴音信号处理电路，其应用电路如图 1-3 所示，其引脚使用功能分别是：

①脚（R_IN3），右声道音频信号 3 输入，但在该机中该脚空置未用。

②脚（R_IN2），右声道音频信号 2 输入，用于输入外部 AV 音频右通道信号。外接 C2513（470nF）为耦合电容。

③脚（R_IN1），右声道音频信号 1 输入，用于输入由 CN820⑥脚提供的 TV 音频信号。外接 C2510（470nF）为 TV 右声道音频信号耦合电容。

④脚（L_IN1），左声道音频信号 1 输入，用于输入由 CN820⑥脚提供的 TV 音频信号。外接 C2511（470nF）为 TV 左声道音频信号耦合电容。

⑤脚（L_IN2），左声道音频信号 2 输入，用于输入外部 AV 左声道音频信号。外接 C2512（470nF）为耦合电容。

⑥脚（L_IN3），左声道音频信号 3 输入，但在该机中该脚空置未用。

⑦脚（L_IN4），左声道音频信号 4 输入，但在该机中该脚空置未用。

⑧脚（MUXOUT/L），MUX 左声道输出，并经 22μF 电容耦合送入⑨脚。

图 1-3　TDA7440D 伴音处理电路及 TDA7268 双音频功放输出电路（a）

⑨脚（IN/L），左声道音频信号输入，由⑧脚提供。

⑩脚（MUXOUT/R），MUX 右声道输出，并经 22μF 电容耦合送入⑪脚。

⑪脚（IN/R），右声道音频信号输入，由⑩脚提供。

⑫脚(BIN/R)，右声道 B 信号输入，外接 C2664（100nF）为耦合电容。

⑬脚（BOUT/R），右声道 B 信号输出，外接 C2662（100nF）为耦合电容。

图 1-3　TDA7440D 伴音处理电路及 TDA7268 双音频功放输出电路（b）

⑭脚（BIN/L），左声道 B 信号输入，外接 C2660（100nF）为耦合电容。

⑮脚（BOUT/L），左声道 B 信号输入，外接 C262（100nF）为耦合电容。

⑯⑰脚（NC），未用。

⑱脚（TREBLE/L），左声道高音频滤波，外接 C2305（5.6nF）为高频滤波电容。

⑲脚（TREBLE/R），右声道高音频滤波，外接 C2306（5.6nF）为高频滤波电容。

⑳脚（DGND），接地。

㉑脚（SCL），I^2C 总线时钟线。

㉒脚（SDA），I^2C 总线数据线。

㉓脚（CREF），外接 10μF 滤波电容。

㉔脚（VS），+9V 电源，由+12V 通过 U204（KA7809）提供。

㉕脚（AGND）数字电路，接地。

㉖脚（ROUT），右声道音频信号输出。

㉗脚（LOUT），左声道音频信号输出。

㉘脚（R_IN4），右声道音频信号 4 输入，但在该机中该脚空置未用。

3. TDA7268 双音频功放输出电路

TDA7268 是一种用于液晶电视中的双音频功率放大输出电路，其引脚使用功能主要是：

①⑧脚（VS1/VS2），用于+12V 电源输入。

②脚（OUT1），用于左声道音频功率信号输出，并通过 220μF 电容驱动左侧扬声器。

③脚（SVR），用于静音控制，外接 Q2000（3904L）为静音控制管，通过 R2314 受控于微处理器（MCU）M6759。

④脚（IN1），用于左声道音频信号输入。外接 C2213（470nF）为耦合电容。

⑤脚（IN2），用于右声道音频信号输入。外接 C2214（470nF）为耦合电容。

⑥脚（S-GND），接地。

⑦脚（OUT2），用于右声道音频功率信号输出，并通过 220μF 电容驱动右侧扬声器。

⑨～⑯脚，接地。

4．SAA7114H 多制式视频解码器

SAA7114H 是一种具有 I^2C 总线控制功能的多制式视频解码器，主要用于将不同输入形式的电视信号转换为统一格式的 YUV 信号，其应用电路如图 1-4 所示，其引脚使用功能主要是：

①㉔㊶㊺脚（VDDDE1/2/3/4），用于数字电路供电，供电压为 3.3V，由电源管理电路中的 U703 提供。

⑪⑰㉓脚（VDDA2/1/0），用于模拟电路供电，供电压为 3.3V，由电源管理电路中的 U703 提供。

㉝㊸㊽㊽㊸㊸（VDDD11/12/13/14/15/16），用于数字格式化电路供电，供电压为 3.3V，由电源管理电路中的 U703 提供。

⑧脚（VDDX），用于时钟振荡电路供电，供电压 3.3V，由电源管理电路中的 U703 提供。

图 1-4　SAA7114H 多制式视频解码电路（a）

图 1-4　SAA7114H 多制式视频解码电路（b）

⑳脚（AI11），用于 Y（亮度）信号输入，由 S 端子提供。

⑯脚（AI21），用于 C（色度）信号输入，由 S 端子提供。

⑫脚（AI23），用于 AV1 视频信号输入，由外部 AV 插口提供。

㉛脚（SCL），I^2C 总线时钟线，与 U400（gm5010）的㉗脚相连接。

㉜脚（SDA），I^2C 总线数据线，与 U400（gm5010）的㉘脚相连接。

㉗脚（CE），用于复位电压输入，与 U400（gm5010）⑬脚相通。

⑦脚（XTALI），时钟振荡输入，外接 24.576MHz 压控晶体振荡器。

⑥脚（XTALO），时钟振荡输出，外接 24.576MHz 压控晶体振荡器。

㊹㊺㊻㊼㊾㊿(51)(52)脚，用于输出 8 bit 格式化 YUV 数据信号，并分别送入 U400（gm5010）的⑦⑧⑨⑩⑪⑫⑮⑯脚。

㊼脚（$\overline{TRST}$），接地。

㊵脚（XTRI），接地。

⑬⑭⑱⑲脚，外接滤波电容。

⑨⑮㉔㉑㉖㊿⑦⑥⑩㊳㊸㊽⑤脚，接地。

5. M6759 MCU 微处理器电路

M6759 是具有 24MHz 时钟频率的微控制器，其应用电路如图 1-5 所示。其引脚的使用功能主要是：

①⑫㉓㉔脚（NIC），未用。

②脚（P1.0/T2），用于输出 HDATA0 行数据信号 0，并送入 U400（gm5010）的⑧脚。

③脚（P1.1/T2EX），用于输出 HDATA1 行数据信号 1，并送入 U400（gm5010）的⑦脚。

④脚（P1.2/EC1），用于输出 HDATA2 行数据信号 2，并送入 U400（gm5010）的⑥脚。

⑤脚（P1.3/CEX0），用于输出 HDATA3 行数据信号 3，并送入 U400（gm5010）的⑤脚。

⑥脚（P1.4/CEX1），用于输出 HCLK 行时钟信号，并送入 U400（gm5010）的①脚。

⑦脚（P1.5/CEX2），用于输出 HFS 信号，并送入 U400(gm5010)的②脚。

⑧脚（P1.6/CEX3/WAIT#），通过 10kΩ电阻引入+5V 偏置电压。

⑨脚（P1.7/CEX4/A17/W），用于 LCD ON/OFF 指示灯控制。其控制信号通过 CN302⑦脚和⑧脚输出，以控制红色发光二极管。输出高电平时 LED RED 点亮。

⑩脚（RST），复位端，外接 Q500、U503、SW500 等组成复位控制电路，当按下 SW500 时，Q500 截止，⑩脚为高电平复位。在正常工作时，U503②脚输出高电平，Q500 导通，⑩脚呈低电平。

图 1-5　M6759 MCU 微处理器电路（a）

图 1-5　M6759 MCU 微处理器电路（b）

⑪脚（P3.0/RXD），用于 RXD 控制。

⑬脚（P3.1/TXD），用于 TXD 控制。

⑭脚（P3.2/INT0#），用于遥控信号输入。

⑮脚（P3.3/INT1#），用 TV 同步信号输入，但在该机中接入+5V 电压。

⑯脚（P3.4/T0），用于 SDA 数据线输入、输出。

⑰脚（P3.5/T1），用于 SCL 时钟线输出。

⑱脚（P3.6/WR#），用于/PANEL-EN 控制。

⑲脚（P3.7/RD#/A16），用于/BKLT-EN 控制。

⑳脚（XTAL2），时钟振荡输出，外接 24MHz 压控晶体振荡器。

㉑脚（XTAL1），时钟振荡输入，外接 24MHz 压控晶体振荡器。

㉒脚（VSS），负电源接地。

㉔脚（A8/P2.0），用于 AUD-CH 控制。

㉕～㉛脚（A9/P2.1～A15/P2.7），未用。

㉜脚（PSEN#），用于系统程序控制。

㉝脚（ALE/RROG#），未用。

㊱～㊸脚（AD7/P0.7～AD0/P0.0），未用。

㊹脚（VCC），+5V 电源。

CN803 与逆变器连接，其中：

①脚输入+12V 电源，主要供给逆变器，+12V 电源由开关稳压电源提供。

②脚，接地。

③脚，输入+5V 电源，主要为背光灯电路供电。

④⑤脚，输出控制背光灯电源供电时序的 BKLT-ON 信号，该信号由 U501（M6759）的⑲脚和外接的 Q504（MMBT3904L）等输出。

6. RGB/VGA 输入接口电路

在康佳 LC-1520T 型液晶电视机中，外部信号输入接口电路，除有 S 端子、HDTV 视频分量信号输入端口外，还设置有用于 PC 的 VGA 信号输入端口，如图 1-6 所示。VGA 输入端口（CN301）主要有 15 个引脚，其中：

①脚（RED），用于输入 PC 的 R（红）基色信号。

②脚（ADC_GNDA），接地。

③脚（GREEN），用于输入 PC 的 G（绿）基色信号。

④脚（ADC_GNDA），接地。

⑤脚（BLUE），用于输入 PC 的 B（蓝）基色信号。

⑥脚（ADC_GNDA），接地。

⑦脚（NC），未用。

⑧脚（ADC_GNDA），接地。

⑨脚（VGA_SCL），PC I^2C 总线时钟线。

⑩脚（NGA_CON），未用。

⑪脚（VGA_VSYNC），PC 场同步信号输入。

⑫脚（NC），未用。

⑬脚（VGA_HSYNC），PC 行同步信号输入。

⑭脚（VGA_SDA），PC I^2C 总线数据线。

⑮脚，未用。

图 1-6　RGB/VGA 输入接口电路（a）

R309（100Ω）、C300（0.01μF）组成耦合电路，主要用于输出 R（红）基色正极性（同相）信号，并送入 U400（gm5010）的⑫脚。

R311（100Ω）、C302（0.01μF）组成耦合电路，主要用于输出 G（绿）基色正极性（同相）信号，并送入 U400（gm5010）的⑥脚。

R313（100Ω）、C304（0.01μF）组成耦合电路，主要用于输出 B（蓝）基色正极性（同相）信号，并送入 U400（gm5010）的⑭脚。

R310（100Ω）、C301（0.01μF）组成耦合电路，主要用于输出 R（红）基色负极性（反相）信号，并送入 U400（gm5010）的⑪脚。

R312（100Ω）、C303（0.01μF）组成耦合电路，主要用于输出 G（绿）基色负极性（反相）信号，并送入 U400（gm5010）的⑦脚。

R314（100Ω）、C305（0.01μF）组成耦合电路，主要用于输出 B（蓝）基色负极性（反相）信号，并送入 U400（gm5010）的⑬脚。

D200（BAT54/S）、D201（BAT54/S）为组合式二极管，主要起双向限幅作用，其中，D200 主要用于 VGA 场同步脉冲限幅，当 VGA 场同步脉冲幅度大于 5.6V 时，D200 的③②脚导通，将脉冲幅度的最大值钳位在 5V；当 VGA 场同步脉冲为负值时，D200 的①③脚导通，VGA 场同步脉冲的最小值被钳位在 0V。同理，D201 也对 VGA 行同步脉冲起钳位作用。

图 1-6　RGB/VGA 输入接口电路（b）

7. gm5010 图像数字处理控制电路

gm5010 是 Genesis 公司生产的具有 208 个引脚的微芯片，主要用于液晶显示处理，其应用电路如图 1-7 所示。其主要特点是内部集成有功能强大的平板图像处理器、3 路信号输入电路、OSD 控制电路、X86 微处理器、PLL 钟控发生器及 ADC 智能图像处理等功能模块。其引脚使用功能主要是：

①脚（HCLK/SCL），行时钟信号输入，或串行时钟信号输入。

②脚（HFS/SDA），行脉冲信号输入或串行数据信号输入。

③㉙㊺㊼㊿⑦⑧⑩⑨㉑㉛㊸㊶㊸㊺⑬⑱⑫⑲脚，数字电路接地。

④㉚㊻㊽㉒㊽⑩㉒脚，用于数字电路供电，供电压 3.3 V。

⑤⑥⑦⑧脚，用于行数字信号输入，由 U501（M6759）的②③④⑤脚提供。

⑩㉒㊹㉜㊷㊹㊹㊻⑭⑲⑲㉒脚，用于数字电路供电，供电压 2.5V。

⑪⑫脚，未用。

⑬脚（RESETn）复位端，其复位电压由 U503②脚输出，并受 SW500 控制。

⑭脚（SCAN_TEST），测试端，接地。

⑮⑯⑰⑱⑲⑳㉓㉔㉕㉖㉗㉘脚，用于 BOOTSTRAP 仿真线输入，实现自举引导。

㉝㉞㉟㊱㊲㊳㊴㊵脚，显示端口，用于输出 8bit 蓝基色 DA 信号。

㊶㊷㊼㊽㊾㊿(51)(52)脚，显示端口，用于输出 8bit 绿基色 DA 信号。

图 1-7 gm5010 图像数字处理控制电路（a）

图 1-7　gm5010 图像数字处理控制电路（b）

㊸㊹㊺㊻㊾㊿(63)(64)脚，显示端口，用于输出 8bit 红基色 DA 信号。

(67)脚（DHS），输出行扫描信号。

(68)脚（DVS），输出场扫描信号。

(69)脚（DEN），输出 DEN 信号。

(71)脚（DCLK），输出时钟信号。

(75)(76)(77)(78)(79)(80)(81)(82)脚，显示端口，用于输出 8bit 蓝基色 DB 信号。

(85)(86)(89)(90)(91)(92)(93)(94)脚，显示端口，用于输出 8bit 绿基色 DB 信号。

(97)(98)(99)(100)(103)(104)(105)(106)脚，显示端口，用于输出 8bit 红基色 DB 信号。

(107)(108)(109)(110)(111)(112)(115)(116)脚，视频信号端口，用于输入 8bit YUV 信号，由 U800（SAA7114H）提供。

(117)脚（VCLK），时钟信号输入。

(163)(164)(167)(168)(171)(172)脚，用于输入 R、G、B 正反向图像信号。

(178)脚（XTAL），时钟振荡输入，外接 24MHz 压控晶体振荡器。

(179)脚（TCLK），时钟振荡输出，外接 24MHz 压控晶体振荡器。

(195)脚（HS），行同步信号输入。

(196)脚（VS），场同步信号输入。

(206)(205)(204)(203)(198)(197)(66)(65)脚，用于输入 8 bit GPIO 信号。

(207)脚（DDC_SCL），I^2C 总线时钟线，与 VGA 插座和 U203（24LC21A）存储器相连接。

(208)脚（DDC_SDA），I^2C 总线数据线，与 VGA 插座和 U203（24LC21A）存储器相连接。

(123)(129)(135)(149)(150)(153)(155)脚，用于 2.5V 电源供电。

(120)(128)(134)(140)(143)(144)(160)(161)(165)(169)(173)脚，用于 3.3V 电源供电。

(174)(176)(181)(183)(185)(187)(189)脚，用于 3.3V 电源供电。

8. 液晶屏显示器引脚及 8 位 RGB 基色信号输入电路

液晶屏显示器是由两块硅玻璃及注入中间的液晶等组成，液晶是一种能够按照一定规则排列的有机化合物，其发光源由机内的微型荧光灯提供。液晶屏显示器的发光原理是利用透过硅玻璃电路形成的电场，来驱动两块硅玻璃之间的液晶分子，使液晶体运动。液晶体有红、绿、蓝三种分子，在静态时它们按照旋转 90° 排列，当其受到电场激励时，三种基色的液晶分子将向不同的方向偏转，从而可以形成不同颜色的彩色图像。但在 R、G、B 信号的控制下，液晶体起着一种类似于开关的作用，它可以让光线透过，又可以阻断光线。当 R、G、B 三基色的液晶分子旋转角度有不同比例的搭配时，就会出现千差万别的彩色，当它们的搭配比例不断变化时，也就出现了千变万化的色彩，从而达到显示不同彩色画面的目的。因此，液晶是液晶屏显示器中的重要核心物质。液晶屏引脚电极 36DP 如图 1-8 所示，液晶屏引脚电极 30DP 如图 1-9 所示。

图 1-8　液晶屏引脚电极 36DP

图 1-9　液晶屏引脚电极 30DP

在液晶体中，主要由许多细长的棒状分子组成，在静态时，各棒状分子的长轴总是相互平行，并指向一个方向，但通电时其排列结构发生变化，进而使液晶的光学性质也随之发生变化，这种变化就被称为液晶的光电效应。因此，介于固态和液态之间的液晶体，既具有液态的流动特性，又具有固态的光学特性。进而也就使液晶体具备了黏合、弹动和极化的三种基本的物理特性。黏合、弹动可以使液晶分子产生自然的偏转现象，而极化则可使液晶产生光电效应，从而显示光栅和图像。

注入到液晶屏的 8 位 RGB 信号输入电路 1 和 2 分别如图 1-10 和图 1-11 所示

8 位蓝（B）基色信号，分别通过 RN600（47Ω）、RN601（47Ω）排阻送入液晶屏引脚 CN600，其中 0 位信号加到 CN600 ㉝脚，1 位信号加到 CN600 ㉛脚，2 位信号加到 CN600 ㉜脚，3 位信号加到 CN600 ㉙脚，4 位信号加到 CN600 ㉚脚，5 位信号加到 CN600 ㉗脚，6 位信号加到 CN600 ㉘脚，7 位信号加到 CN600 ㉕脚。

8 位绿（G）基色信号，分别通过 RN602（47Ω）RN603（47Ω）排阻送入液晶屏引脚 CN600，其中 0 位信号加到 CN600 ㉔脚，1 位信号加到 CN600 ㉓脚，2 位信号加到 CN600 ㉒脚，3 位信号加到 CN600 ㉑脚，4 位信号加到 CN600㉚脚，5 位信号加到 CN600 ⑲脚，⑥位信号加到 CN600 ⑱脚，⑦位信号加到 CN600 ⑰脚。

8 位红（R）基色信号，分别通过 RN604（47Ω）、RN605（47Ω）排阻送入液晶屏引脚 CN600，其中 0 位信号加到 CN600 ⑯脚，1 位信号加到 CN600 ⑮脚，2 位信号加到 CN600 ⑭脚，3 位信号加到 CN600 ⑬脚，4 位信号加到 CN600 ⑫脚，5 位信号加到 CN600 ⑪脚，6 位信号加到 CN600⑩脚，7 位信号加到 CN600⑨脚。

DHS 为行扫描信号，通过 RN606（47Ω）排阻送入 CN600⑥脚，DVS 为场扫描信号，通过 RN606（47Ω）排阻送入 CN600⑤脚，DCLK 为时钟信号，通过 RN606（47Ω）排阻送入 CN600①脚。

图 1-10　8 位 RGB 信号输入电路 1

在实际应用中，为了使液晶屏能够显示图像，在屏内总设置有许多交错成格的微型线路，并通过电极控制液晶分子的动向，以折射光线产生彩色图像。但在具体应用时，由于液晶显示器的结构不同，其驱动方式不同，则电极设计也就不同。常用的驱动方式有分段电极驱动、无源矩阵电极驱动和有源矩阵电极驱动。分段电极驱动是将液晶显示面板分为 X、Y 两组电极驱动线，其中 X 电极作为背电极，Y 电极作为段电极，故分段电极驱动又称为 Y 电极驱动；有源矩阵电极驱动，主要是在显示器的下玻璃板上配置扫描线与寻址线，将其组成一个矩阵，并在交点上制作出有源器件和像素电极，这种有源矩阵电极不仅能够控制像素独立寻址，而且多路驱动时无串扰，在彩显液晶显示器中多被采用。

8 位蓝（B）基色信号，分别通过 RN607（47Ω）、RN608（47Ω）排阻送入液晶屏引脚 CN601，其中 0 位信号加到 30 脚，1 位信号加到 29 脚，2 位信号加到㉘脚，3 位信号加到㉗脚，4 位信号加到㉖脚，5 位信号加到㉕脚，6 位信号加到㉔脚，7 位信号加到㉒脚。

8 位绿（G）基色信号，分别通过 RN609、RN610 排阻送入液晶屏引脚 CN601，其中 0 位信号加到⑳脚，1 位信号加到⑲脚，2 位信号加到⑱脚，3 位信号加到⑰脚，4 位信号加到⑯脚，5 位信号加到⑮脚，6 位信号加到⑭脚，7 位信号加到⑫脚。

8 位红（R）基色信号，分别通过 RN611、RN612 排阻送入液晶屏引脚 CN601，其中 0 位信号加到⑩脚，1 位信号加到⑨脚，2 位信号加到⑧脚，3 位信号加到⑦脚，4 位信号加到⑥脚，5 位信号加到⑤脚，6 位信号加到④脚，7 位信号加到②脚。

图 1-11　8 位 RGB 信号输入电路 2

在实际应用中，有源矩阵电极驱动的工作原理，主要是利用 MOS 场效应晶体管作为驱动器，MOS 场效应管的栅极接扫描电极的母线，相当于水平方向的寻址开关信号电极，源极接信号线，相当于垂直方向激励信号输入端，漏极通过存储电容接地，故又称其为 TFT（Thin Film Transistor 薄膜场效应晶体管）驱动方式，如图 1-12 所示。当 MOS 场效应晶体管的栅极加入开关信号时，水平方向排列的所有晶体管的栅极均加入开关信号，但此时若源极未加信号，MOS 晶体管并不导通。因此，只有当垂直排列的信号线上加入激励信号时，与其相交的 MOS 场效应晶体管才会导通，导通电流对寻址像素的存储电容充电，并且充电电压的大小与输入的代表图像信号大小的激励电压成正比。若电视图像信号通过源极母线分别激励 MOS 场效应晶体管，则存储电容将分别被充电。存储电容上的信号将保持一帧时间，并通过液晶像素的电阻逐渐放电。与此同时液晶将出现动态散射，并呈现出与存储电容上的信号电压相对应的图像灰度。液晶屏的供电源控制电路如图 1-13 所示。

图 1-12　MOS 晶体管驱动原理图

图 1-13　液晶屏的供电源控制电路

在液晶像素寻址矩阵中，当复合同步信号加入到时序和控制电路时，将分别控制扫描电极母线驱动器，逐行接通水平方向排列的 MOS 晶体管的栅极，同时，图像信号通过串行、并行变换器加到垂直排列的信号电极母线驱动器，逐列接通垂直方向排列的 MOS 晶体管的源极，使 MOS 晶体管导通，并对存储电容充电，进而使液晶被激发，亮度得以调控。MOS 晶体管 G（栅）或 S（源）极加入不同电压时，就可以改变液晶板的透光率，形成不断变化的亮暗图像。

9. LM2596S-5.0 电源管理电路

LM2596S-5.0 是一种具有开关控制功能的+5V 稳压电路，如图 1-14 中所示。但在该机中，开关控制功能未用。

LED，发光二极管，主要用于+12V 电源指示灯。当开机后有 12V 电压产生时，该发光二极管点亮。

U900(LM2596S-5.0)为+5V 稳压电路，主要由②脚输出+5V 电压，该电压除通过 L905 供给控制电路外，还由 U702 进一步稳压产生 2.5V 电压和由 U703 产生 3.3V 电压。

U702（AS1117M3-2.5）为+2.5V 稳压器，由其稳压输出的+2.5V 电压主要供给小信号处理的数字电路。

U703（SPX1587YT-3.3/LM-1086CS-3.3）为+3.3V 稳压器，由其稳压输出的+3.3V 电压主要供给图像数字处理控制电路和多制式视频解码电路等。在液晶屏为奇美屏时，3.3V 电压还通过 U600（9435A）为液晶屏引脚供电。

U403（AS1117M3-2.5）为 2.5V 稳压器，由其稳压输出的+2.5V 电压主要供给 U400（gm5010）。

图 1-14　电源管理电路（a）

图 1-14　电源管理电路（b）

10. 低压电源滤波电路

在液晶电视机中，低压电源（3.3V、2.5V）滤波电路主要由 0.1μF 和 220pF 的排电容组成，用于滤除低压电源中的高频成分，以免对液晶屏构成干扰，如图 1-15 所示。

图 1-15　低压电源滤波电路

小知识：液晶显示器的安全事项

（1）液晶显示器是用两个特殊的玻璃制成的一个扁平状盒，盒中间的厚度仅为 5～7mm，且内表面覆有极精细的能使液晶分子按一定方向取向的定向槽，若用手按压液晶显示器屏面，会造成定向层损坏。

（2）液晶电视的结构与 CRT 电视不同，随意拆卸会导致显示器暂时甚至永久性不能工作。

（3）液晶显示器表面最好不要擦拭，以防止划伤或留有手印，如果一定要擦拭，可用脱质棉球或鹿皮轻轻擦拭，但绝对禁止使用化学试剂或水擦洗。

（4）在维护或擦拭过程中，一旦按压液晶屏，造成屏内液晶定向错乱，不能立即开机，应放置 1 小时左右使屏内的液晶分子及定向层自动恢复原样后，再通电试机。

（5）在使用过程中，一定注意防潮，一旦潮湿屏面玻璃就会结露，进而引起串扰显示。若发现屏幕上有雾气，要用脱质棉球或软布轻轻拭去，并让机内的水分蒸发掉。

（6）液晶显示器本身是由有机化合物构成的，若与不同性质的化学制品接触会发生化学反应，进而腐蚀电极，因此，日常所用的发胶、驱蚊剂、洗涤剂等化工制品不能与液晶显示器相接触。

（7）液晶显示器内含多层玻璃、灵敏的电气元件和微型电极，屏幕十分脆弱，故要绝对避免强烈冲击和振动，若不慎掉落地上，必将损坏。

（8）液晶显示器的成像原理是液晶屏内的液晶分子在不同的电流电场作用下做规则旋转 90° 排列，以产生透光度，并在电源的控制下形成明暗区别，再控制每个像素，从而构成图像画面。但如果液晶显示器长时间地连续显示一种固定的画面，就极易使某一点的液晶分子过热，进而造成内部烧坏，形成坏点。因此，在使用过程中应注意不要长时间显示静止画面。

（9）液晶显示器后部变压器的电压很高，在带电状态下不能拆壳，在断电几分钟后才能打开，对于液晶显示器来说，要防止静电干扰，通常接地线要良好。

（10）液晶显示器在不用时，一定要关断电源，否则会导致内部老化。

11. M6759/PLCC44 微处理器（MCU）控制电路

M6759/PLCC44 微控制器主要用于康佳 LC-1521T 型液晶彩色电视机中，其电路原理如图 1-16 所示。它的使用功能与 LC-1520T 机型中的 MCU 基本相同，只是在电路的具体应用时有所不同。其引脚使用功能主要是：

①脚（NIC），未用。

②脚（P1.0/T2），用于 HDATA0（数据信号 0）输出，并直接送入 U200（gmZAN2）的㊾脚。

③脚（P1.1/T2EX），用于 HDATA1（数据信号 1）输出，并直接送入 U200（gmZAN2）的㊿脚，作为 12 位 MF 信号的 B7 位。

④脚（P1.2/ECI），用于 HDATA2（数据信号 2）输出，并直接送入 U200（gmZAN2）的(104)脚，作为 12 位 MF 信号的 B8 位。

⑤脚（P1.3/CEX0），用于 HDATA3（数据信号 3）输出，并直接送入 U200（gmZAN2）的(102)脚，作为 12 位 MF 信号的 B9 位。

⑥脚（P1.4/CEX1），用于 HCLKU 行扫描时钟信号输出，并直接送入 U200（gmZAN2）的(103)脚。

⑦脚（P1.5/CEX2），用于 HFS 信号输入，并与 U200（gmZAN2）的㊽脚相通。

⑧脚（P1.6/CEX3/WAIT#），未用。

⑨脚（P1.7/CEX4/A17/W），用于 PWM 控制，但外接 10kΩ偏置电阻。

⑩脚（RST），用于复位信号输入。

⑪脚（P3.0/RXD），用于 RXD 信号控制。通过 CN300③脚输出，但未用。

图 1-16　M6759/PLCC44 微处理器控制电路（a）

⑫脚（NIC），未用。

⑬脚（P3.1/TXD），用于 TXD 信号控制。通过 CN300②脚输出，但未用。

⑭脚（P3.2/INT0#），用于 IRQ 信号输入。

⑮脚（P3.3/INT1#），用于 PWR_SW 开关输出，加到 CN302（Keycon）⑧脚，同时又作为 MFB2 送入 U200（gmZAN2）的⑪脚。

图 1-16　M6759/PLCC44 微处理器控制电路（b）

U300（24LC16B/SN）为 16 Kbits EEPROM 外部存储器，主要用于存储电视节目及各种功能数据。其引脚功能主要是：

①~④脚，接地。

⑤⑥脚，用于 I^2C 总线数据线和时钟线输入/输出，直接与 U302 的⑯ ⑰脚相连。

⑯脚（P3.4/T0），用于 I^2C 总线数据线（SDA）输入/输出，主要控制外部存储器 EEPROM。

⑰脚（P3.5/T1），用于 I^2C 总线数据线（SCL）输入/输出，主要控制外部存储器 EEPROM。

⑱脚（P3.6/WR#），未用。

⑲脚（P3.7/RD#/A16），用于 VGA_CON 控制。

⑳脚（XTAL2），时钟振荡输入，外接 24MHz 压控晶体振荡器。

㉑脚（XTAL1），时钟振荡输出，外接 24MHz 压控晶体振荡器。

㉒脚（VSS），负电源接地。

㉓脚（NIC），未用。

㉔脚（A8/P2.0），地址 8/端口输入/输出，未用。

㉕脚（A9/P2.1），地址 9/端口输入/输出，但未用。

㉖脚（A10/P2.2），地址 10/端口输入/输出，但未用。

㉗脚（A11/P2.3），地址 11/端口输入/输出，但未用。

㉘脚（A12/P2.4），地址 12/端口输入/输出，但未用。

㉙脚（A13/P2.5），地址 13/端口输入/输出，但未用。

㉚脚（A14/P2.6），地址 14/端口输入/输出，但未用。

㉛脚（A15/P2.7），地址 15/端口输入/输出，但未用。

㉜脚（PSEN#），未用。

㉝脚（ALE/PROG#），未用。

㉞脚（NIC），未用。

㉟脚（EA#VPP），接入+5V 电源，如图 1-17 所示。

㊱脚（AD7/P0.7），模/数变换数据 7/端口输入/输出，但未用。

㊲脚（AD6/P0.6），模/数变换数据 6/端口输入/输出，但未用。

㊳脚（AD5/P0.5），模/数变换数据 5/端口输入/输出，但未用。

㊴脚（AD4/P0.4），模/数变换数据 4/端口输入/输出，但未用。

㊵脚（AD3/P0.3），模/数变换数据 3/端口输入/输出，但未用。

㊶脚（AD2/P0.2），模/数变换数据 2/端口输入/输出，但未用。

㊷脚（AD1/P0.1），模/数变换数据 1/端口输入/输出，但未用。

㊸脚（AD0/P0.0），模/数变换数据 0/端口输入/输出，但未用。

㊹脚（VCC），+5V 电源。

U304（LM2596-5.0），+5V 稳压电路。由开关电源产生的 12V 电压经 U304 稳压后从②脚输出+5V 电压，主要供给 MCU 控制系统，并经再次稳压后产生 3.3V、2.5V 电压。

U204（LM1086CS-3.3），+3.3V 稳压器。+5V 电压经 U204 稳压后从②脚输出+3.3V 电压，主要为 U200 图像数字处理控制电路等供电。

图 1-17　供给 MCU 控制系统的+5V 稳压电源（a）

小知识：液晶电视的光源

液晶电视的光源主要由背光灯来承担，它安装在液晶显示器的背后，而液晶显示器本身并不发光，显示器中的液晶单元只起开关作用，用于阻断和打开背光灯发出的光线，但只有在液晶显示器接通电源时，背光灯才能够点亮。当背光灯点亮时，就相当于广告灯箱中的灯光透过有图像的薄膜，进而达到展示图像画面的目的。因此，液晶电视的发光原理与 CRT 电视的发光源原理有本质的区别。CRT 电视的光源是由玻璃屏内壁上涂敷的荧光粉来承担，其发光强度主要由电子束的强弱来控制，因此 CRT 电视的衰老情况就主要由荧光粉的性能决定。而液晶电视的发光强度则主要由背光灯决定，为保持液晶电视能够有足够的亮度，总是在液晶显示器背后设置一定数量的背光灯，增加背光灯的数量可提高液晶板的透光率，以使液晶电视屏幕的亮度能够达到还原画面的要求，一般要求背光灯的亮度不小于 6000cd/m^2。因此液晶电视的光源直接决定着液晶电视的质量和寿命。

小知识：液晶电视的可视角

液晶电视的可视角包括水平可视角和垂直可视角两个方面，水平可视角主要是指人眼垂直看向屏幕中心时向左右两侧展开仍能看清图像的角度，而垂直可视角则是指人眼垂直看向屏幕中心时向上下两个方向展开仍能看清图像的角度。在一般情况下，液晶电视的可视角在 120°～160°。因此，可视角是液晶电视的一个重要指标。

U305（LM2937-2.5），+2.5V 稳压器。+5V 电压经 U305 稳压后从③脚输出 2.5V 电压，主要为 U200（gmZAN2）的部分引脚供电。

LM1086CS-3.3 稳压器示意图。其①脚（GND）为接地端；②脚（OUT）为稳压输出端；③脚（IN）为电源电压输入端；④（TAB）为散热板，但它与②脚直通。

图 1-17　供给 MCU 控制系统的+5V 稳压电源（b）

液晶电视的可视角比 CRT 电视的可视角要小得多，这主要是由于液晶分子的排列方向及采用行、列数字寻址和数字激励方式重显图像的特性决定的。在液晶显示屏中，主要有三层结构，即两层玻璃和加入中间的液晶层，其中，两层玻璃上分别涂有与偏振层成 90° 的涂层，以使液晶层的液晶分子连续成 90° 方向扭转排列。当入射光从偏光板一侧射入时，只有轴向偏振光可以射入。偏振光进入液晶后，由于液晶分子的排列方式使偏振光轴也产生 90° 旋转，使进入上层偏光板的光轴正好与偏振板光轴一致，此时尽管可使光线顺利通过，但却限制了可视角的范围。也就是说，在 LCD 液晶显示器中，液晶分子的排列方向在电场作用下发生变化的角度，不仅可以改变光源的透光率，而且还直接影响可视角度。因此，液晶电视的可视角是随动态信号亮度不断变化着的一个角度。

液晶电视的可视角越大，越能使收视者在较大的空间范围看到清晰完美的电视画面，目前液晶电视正在朝着扩展可视角的方向发展。

12. gmZAN2 图像数字处理控制电路

gmZAN2 是一种超大规模图像数字处理电路，主要用于康佳 LC-1521T 型液晶彩色电视机中，如图 1-18 所示其引脚的使用功能主要是：

①⑧⑱㉚㊶㊾⑥⑫⑭⑫⑥⑭⑤⑮⑧⑤⑨⑭⑦脚，接地。

②脚（RESERVED），保留端口，未用。

③脚（PSCAN），未用。

④脚（RESERVED），保留端口，未用。

⑥脚（PD47），显示端口 47，未用。

⑦脚（PD46），显示端口 46，未用。

⑨脚（PD45），显示端口 45，用于 RB1 输出，送入 RN12。

⑩脚（PD44），显示端口 44，用于 RB0 输出，送入 RN12。

⑪ ㉑ ㊽ ㉕ ㉛ ㊾脚，+2.5V 电源。

⑫ ㉝ ㊵ ㊺ ㊿ ㊽脚，+3.3V 电源。

⑬脚（PD43），显示端口 43，用于 BA1 输出，送入 RN12。

⑭脚（PD42），显示端口 42，用于 BA0 输出，送入 RN12。

⑮脚（PD41），显示端口 41，用于 GA1 输出，送入 RN11。

⑯脚（PD40），显示端口 40，用于 GA0 输出，送入 RN11。

⑰脚（PD39），显示端口 39，用于 RA1 输出，送入 RN11。

⑲脚（PD38），显示端口 38，用于 RA0 输出，送入 RN11。

⑳脚（PD37），显示端口 37，用于 BB7 输出，送入 RN10。

㉒脚（PD36），显示端口 36，用于 BB6 输出，送入 RN10。

㉓脚（PD35），显示端口 35，用于 BB5 输出，送入 RN10。

㉔脚（PD34），显示端口 34，用于 BB4 输出，送入 RN10。

㉕脚（PD33），显示端口 33，用于 BB3 输出，送入 RN9。

㉖脚（PD32），显示端口 32，用于 BB2 输出，送入 RN9。

图 1-18　gmZAN2 图像数字处理控制电路（a）

图 1-18　gmZAN2 图像数字处理控制电路（b）

㉗脚（PD31），显示端口31，用于 GB7 输出，送入 RN9。

㉘脚（PD30），显示端口30，用于 GB6 输出，送入 RN9。

㉙脚（PD29），显示端口29，用于 GB5 输出，送入 RN8。

㉛脚（PD28），显示端口28，用于 GB4 输出，送入 RN8。

㉜脚（PD27），显示端口27，用于 GB3 输出，送入 RN8。

㉞脚（PD26），显示端口26，用于 GB2 输出，送入 RN7。

㉟脚（PD25），显示端口25，用于 RB7 输出，送入 RN7。

㊱脚（PD24），显示端口24，用于 RB6 输出，送入 RN7。

㊲脚（PD23），显示端口23，用于 RB5 输出，送入 RN7。

㊳脚（PD22），显示端口22，用于 RB4 输出，送入 RN7。

㊴脚（PD21），显示端口21，用于输出 PENAB 控制信号。

㊷脚（PD20），显示端口20，用于输出 PCLK 时钟信号。

㊸脚（PDISPE），用于 ZDE 控制。

㊹脚（PCLKA），用于 ZCLK 控制。

㊺脚（PCLKB），未用。

㊻脚（PD19），显示端口19，用于 RB3 输出，送入 RN6。

㊼脚（PD18），显示端口18，用于 RB2 输出，送入 RN6。

㊽脚（PD17），显示端口17，用于 BA7 输出，送入 RN5。

㊿脚（PD16），显示端口16，用于 BA6 输出，送入 RN5。

㊶脚（PD15），显示端口 15，用于 BA5 输出，送入 RN5。

㊷脚（PD14），显示端口 14，用于 BA4 输出，送入 RN5。

㊸脚（PD13），显示端口 13，用于 BA3 输出，送入 RN4。

㊹脚（PD12），显示端口 12，用于 BA2 输出，送入 RN4。

㊺脚（PD11），显示端口 11，用于 GA7 输出，送入 RN4。

㊻脚（PD10），显示端口 10，用于 GA6 输出，送入 RN4。

㊼脚（PD9），显示端口 9，用于 GA5 输出，送入 RN3。

㊽脚（PD8），显示端口 8，用于 GA4 输出，送入 RN3。

㊾脚（PD7），显示端口 7，用于 GA3 输出，送入 RN3。

㊿脚（PD6），显示端口 6，用于 GA2 输出，送入 RN3。

(66)脚（PD5），显示端口 5，用于 RA7 输出，送入 RN2。

(67)脚（PD4），显示端口 4，用于 RA6 输出，送入 RN2。

(68)脚（PD3），显示端口 3，用于 RA5 输出，送入 RN2。

(69)脚（PD2），显示端口 2，用于 RA4 输出，送入 RN2。其输出信号送入 CN202，如图 1-19 所示。

CN202 为液晶屏引脚，其①脚用于 PHS 行脉冲输入；③脚用于 PVS 场脉冲输入；⑱ ⑯ ⑭ ⑤ ⑦ ⑨ ⑪ ⑬脚用于 8 位红基色信号输入，㉔ ㉖ ㉒ ⑮ ⑰ ⑲ ㉑ ㉓脚用于 8 位绿基色信号输入；㉚ ㉜ ㉘ ㉕ ㉗ ㉙ ㉛ ㉝脚用于 8 位蓝基色信号输入。

图 1-19　CN202/CN203 液晶屏引脚电路

(70)脚（PD1），显示端口 1，用于 RA3 输出，送入 RN1。

(71)脚（PD0），显示端口 0，用于 RA2 输出，送入 RN1。

(73)脚（PVS），用于 ZVS 输入（场脉冲输入）。

(74)脚（PHS），用于 ZHS 输入（行脉冲输入）。

(75)脚（PBIAS），用于 PBIAS 控制。

(76)脚（PPWR），用于 PPWR（待机）控制。

(77) (79)脚，+2.5V 电源。

(78) (80)脚，模/数电路接地。

(81) (82) (85) (89) (93)脚，接地。

(84) (88) (92) (96)脚，+3.3V 电源。由 U202 控制，如图 1-20 所示。

(83)脚（RESERVED），未用。

(86)脚（BLUE-），蓝基色负极性输入。

(90)脚（GREEN-），绿基色负极性输入。

(91)脚（GREEN+），绿基色正相输入。

(94)脚（RED-），红基色负极性输入。

U202（9435A）为开关电路，主要用于 LCD 显示屏供电控制。显示屏的供电电压主要由 U202 的⑤⑥⑦⑧脚输出，其输出电压有 5V 和 3.3V 两种方案，由显示屏的类型决定。

图 1-20　U202（9435A）电源控制电路

⑮脚（RED+），红基色正相输入。

⑰脚（N/C），未用。

⑱脚（HFS），行脉冲输入。

⑲脚（HDATA），数据总线输入/输出。

⑳脚（RESETn），复位。

㉑脚（IRQ），遥控信号输入。

㉒脚（MFB9），用于 HDATA3 数据总线输入/输出。

㉓脚（HCLK），时钟信号输入。

㉔脚（MFB8），用于 HDATA2 数据总线输入/输出。

㉕脚（MFB7），用于 HDATA1 数据总线输入/输出。

㉖脚（MFB6），外接 10kΩ电阻于地。

㉗脚（MFB5），外接 10kΩ电阻于地。

㉙脚（MFB4），用于 RIGHT 控制。

㉚脚（MFB3），用于 SELECT 控制。

㉛脚（MFB2），用于 PWR-SW 控制。

㉜脚（MFB1），用于 MENU 菜单选择

㉝脚（MFB0），用于 LEFT 控制。

㉟脚（OSD_HREF），未用。

㊱脚（OSD_VREF），未用。

㊲脚（OSD_CLK），未用。

㊳脚（OSD_DATA0），未用。

㊴脚（OSD_DATA1），未用。

㊵脚（OSD_DATA2），未用。

㊶脚（OSD_DATA3），未用。

㊷脚（OSD_FSW），未用。

㊸脚（MFB11），用于 LED ORANGE 控制。

㊹脚（MFB10），用于 LED-GRN-EN 控制。

㉗ ㉛ ㉞ ㊳ ㊹ ㉝ ㉜ ㊻脚，接地。

㉚脚（RESERVED），未用。

⑬⑤脚（RESERVED），未用。

⑭①脚（TCLK），50MHz 时钟信号输入。

⑭②脚（XTAL/RESERVED），未用。

⑭⑤脚（RESERVED），未用。

⑭⑧脚（VSYNC），场同步脉冲输入。

⑮⓪脚（HSYNC/CS），行同步脉冲输入/片选脉冲输入。

⑮②脚（RESERVED），未用。

⑮③脚（ST1-TM1），未用。

⑮④脚（ST1-TM2），未用。

⑮⑤脚（SCAN-IN1），未用。

⑮⑦脚（SCAN-IN2），未用。

⑮⑨脚（SCAN-OUT1），未用。

⑯⓪脚（SCAN-OUT2），未用。

第 2 章　解读康佳 LC-1700T 液晶彩色电视机整机线路图

康佳 LC-1700T 是康佳集团在康佳 LC-1520T/1521T 的基础上生产的 17 寸液晶彩色电视机，其机芯技术主要采用了：

JS-6B1/111 频率合成式高、中频一体化高频调谐器；

U201 TDA7268 双伴音功放电路；

U202 TDA7440D 具有 I^2C 总线控制功能的音频信号处理电路；

U300 SAA7114H 多制式解码器电路；

U400 gm5020 图像数字处理控制器电路；

U500 LVDS83A 驱动及液晶显示器电路；

U501 LVDS83A 驱动及液晶显示器电路；

U700 AT24C16N-10CSC E^2PROM 存储器；

U701 P89C61×2BA 微处理器电路；

U800 LM2596-5.0　+5V 稳压电路；

U801 LM10851S-3.3　+3.3V 稳压电路；

U802 LM1117MP×2.5　+2.5V 稳压电路；

U803 LM78L09/T0-92　+9V 稳压电路；

U804 LM1117MP×5.0　+5V 稳压电路；

U805 LM1117MP×5.0　+5V 稳压电路；

U502 CEM9435A 背光灯供电源开关电路；

U100 AT24C21-PD1P8 E^2PROM 存储器；

U103 AT24C21 E^2PROM 存储器；

U105 74F14/SOP14 行场脉冲整形输出电路；

由于该种机型的整机线路基本上可以自成独立单元电路，故本章就不在书后给出附图。

1. 伴音小信号处理及功放输出电路

在康佳 LC-1700T 型液晶彩色电视机中，伴音小信号处理功能主要在 TDA7440D 集成电路内部完成，而伴音功放输出功能则由 TDA7268 集成块完成，如图 2-1 所示。

图 2-1　伴音小信号处理及功放输出电路（a）

U202（TDA7440D）为伴音小信号处理电路，主要用于高低音及左右音量平衡等处理，其中④ ③脚用于 TV 音频左、右声道输入；⑤ ②脚用于外部左、右声道音频信号输入；㉗ ㉖脚用于左、右声道音频信号选择输出，并分别经 C214（470nF）和 C216（470nF）耦合电容送入 U201（TDA7268）的④ ⑤脚；㉑ ㉒脚用于 I²C 总线时钟线和数据线输入/输出，控制高低音和左、右平衡及音量大小。

C210（330μF/25V）用于左声道音频功率信号耦合输出，不良或失效时左声道伴音声小、沙哑、失真。

U201（TDA7268）双音频功率放大输出电路。⑨～⑯脚接地，②⑦脚用于左、右声道音频功率输出。

C222（330μF /25V）用于右声道音频功率信号耦合输出，不良或失效时右声道伴音声小、沙哑、失真。

CN202（SPK_L/2P1N-2.0MM）为左声道扬声器，损坏或不良时，左声道无伴音或伴音沙哑失真。

CN203（SPK_R/2P1N-2.0MM）为右声道扬声器，损坏或不良时，右声道无伴音或伴音沙哑失真。

CN241 双通道耳机插座，用于监听电视伴音信号，但在插入耳机插头时，将自动断开左、右声道的扬声器。当 CN241 接触不良时，会产生无伴音故障。

FB206、FB207、FB208 分别用于连接各单元电路的接地端，主要用于扼制交流成分，以避免相互干扰。

图 2-1　伴音小信号处理及功放输出电路（b）

2. 多制式视频解码器电路

在康佳 LC-1700T 型液晶彩色电视机中，多制式视频解码电路主要采用了 SAA7114H 集成块，如图 2-2 所示，它的引脚使用功能等参见本书第 1 章中的相关介绍。

3.3V 稳压电源，经 FB300、C302、C303～C305 等滤波后送入 U300（SAA7114H）的⑪ ⑰ ㉓脚，主要为模拟电路供电。

CN300（S-VIDEO）为 S 端子输入插座。主要输入外部的亮度信号（Y）和色度信号（C），并分别通过 L300、R300、C318 和 L301、R302、C325 等送入 U300（SAA7114H）的⑳、⑯脚。

CN301、CN303 用于外部视频信号输入，其输入信号通过 L302、R304、C327 等送入 U300（SAA7114H）的⑫脚。

TV 视频信号输入端，TV 视频信号由 CN204 插排的⑩脚输出，并通过 R306、R308、D303、C328 等送入 U300（SAA7114H）的⑩脚。

X300(24.576MHz)压控晶体振荡器，并接在 U300（SAA7114H）的⑦⑥脚之间，用于产生 U300（SAA7114H）工作时所需要的时钟基准频率，不良或失效时，U300 不工作，无图像。

图 2-2 SAA7114H 多制式视频解码器电路（a）

3.3V 稳压电源，经 FB301（100μH）、C310（22μF）、C306（0.1μF）、C307（0.1μF）、C308(0.1μF)、C309(0.1μF)滤波后送入 U300（SAA7114H）的①㉕㊶㉕脚，主要为芯片电路供电。

+3.3V 稳压电源，经 C317（22μF）、FB302（100μH）、C316（0.01μF）、C315（0.1μF）等滤波后送入 U300（SAA7114H）的㉝㊸㊽㊽㊸㊾脚，主要为数字电路供电。

+3.3V 稳压电源，经 C324（22μF）、FB303（100μH）、C336（0.01μF）、C323（0.1μF）滤波后送入 U300（SAA7114H）的⑧脚，主要为时钟振荡电路供电。

U300（SAA7114H）的㉛㉜脚，用于 I^2C 总线时钟线和数据线输入/输出，以控制多制式视频解码电路的诸多功能，当㉛㉜脚电压异常时，无光栅、无图像。

U300（SAA7114H）的㉗脚，用于复位电压输入，当该脚电压异常时，或无复位信号电压时，U300 不工作，屏幕无光栅、无图像。

VCLK 时钟信号，由 U300（SAA7114H）的㊺脚输出，经 R309（47Ω）送入 U400（gm5020）的 A12 脚，主要用于 YUV 信号格式化处理。

YUV 格式化（8bit）信号，由 U300（SAA7114）的㊷㊶㊵㊾㊼㊻㊺㊹脚输出，并直接送入 U400（gm5020）的 C14、B14、A14、C13、B13、A13、C12、B12 脚。

图 2-2　SAA7114H 多制式视频解码器电路（b）

3. P89C61X2BA 微处理器控制电路

在康佳 LC-1700T 型液晶彩色电视机中，微处理器控制电路主要采用了 P89C61X2BA 中央微控制器，如图 2-3 所示。其引脚使用功能主要是：

①脚（N1C），未用。

②脚（P1.0/T2），用于数据总线输入/输出，主要输入/输出 HDATA0。

③脚（P1.1/T2EX），用于数据总线输入/输出，主要输入/输出 HDATA1。

④脚（P1.2/ECI），用于数据总线输入/输出，主要输入/输出 HDATA2。

⑤脚（P1.3/CEX0），用于数据总线输入/输出，主要输入/输出 HDATA3。

⑥脚（P1.4/CEX1），用于串行时钟输入/输出，主要输出 HCLK/SCL。

⑦脚（P1.5/CEX2），用于串行数据输入/输出，主要输出 HFS/SDA。

⑧脚（P1.6/CEX3/WAIT#），未用。

⑨脚（P1.7/CEX4/A17/W），用于 LCD-ONOFF 控制，但外接上拉电阻（10kΩ）。

⑩脚（RST），复位，外接 Q700 等组成复位电路。

⑪脚（P3.0/RXD），输入/输出端口，用于 RXD。

⑫脚（NIC），未用。

⑬脚（P3.1/TXD），输入/输出端口，用于 TXD。

⑭脚（P3.2/INT0#），输入/输出端口，用于 TV-IR 遥控信号输入。

⑮脚（P3.3/INT1#），未用。

⑯脚（P3.4/T0），输入/输出端口，用于 I^2C 总线数据线输入/输出。

⑰脚（P3.5/T1），输入/输出端口，用于 I^2C 总线时钟线输入/输出。

⑱脚（P3.6/WR#），输入/输出端口，用于 PANEL-EN 控制。

⑲脚（P3.7/RD#/A16），输入/输出端口，用于 BKLT-EN 控制。

图 2-3　P89C61X2BA 微处理器控制电路（a）

⑳脚（XTAL2），时钟振荡输出，外接 24MHz 压控晶体振荡器。

㉑脚（XTAL1），时钟振荡输入，外接 24MHz 压控晶体振荡器。

㉒脚（VSS），负电源接地。

㉓脚（NIC），未用。

图 2-3　P89C61X2BA 微处理器控制电路（b）

㉔脚（A8/P2.0），输入/输出端口，用于 MUTE 静噪控制。

㉕脚（A9/P2.1），输入/输出端，未用。

㉖脚（A10/P2.2），输入/输出端口，未用。

㉗脚（A11/P2.3），输入/输出端口，未用。

㉘脚（A12/P2.4），输入/输出端口，未用。

㉙脚（A13/P2.5），输入/输出端口，未用。

㉚脚（A14/P2.6），输入/输出端口，未用。

㉛脚（A15/P2.7），输入/输出端口，未用。

㉜脚（PSEN#），用于 PSEN# 控制。

㉝脚（ALE/PROG#），未用。

㉞脚（NIC），未用。

㉟脚（EA#/VPP），+5V 电源。

㊱脚（AD7/P0.7），地址 7/端口输入/输出 7，未用。

㊲脚（AD6/P0.6），地址 6/端口输入/输出 6，未用。

㊳脚（AD5/P0.5），地址 5/端口输入/输出 5，未用。

㊴脚（AD4/P0.4），地址 4/端口输入/输出 4，未用。

㊵脚（AD3/P0.3），地址 3/端口输入/输出 3，未用。

㊶脚（AD2/P0.2），地址 2/端口输入/输出 2，未用。

㊷脚（AD1/P0.1），地址 1/端口输入/输出 1，未用。

㊸脚（AD0/P0.0），地址 0/端口输入/输出 0，未用。

㊹脚（VCC），+5V 电源。

4. CN702、CN703 接口电路

在康佳 LC-1700T 型液晶彩色电视机中，CN702 插排主要用于连接 KGYPAD 接口电路，如图 2-4 所示，其引脚使用功能主要是：

图 2-4　CN702 接口电路

①脚（GND），接地

②脚（FB707），用于 R1GHT 控制，主要由 U400（gm5020）的 G18 端输入/输出 GP106 数字信号。

③脚（FB703），用于 LEFT 控制，主要由 U400（gm5020）的 M3 端输入/输出 GP102 数字信号。

④脚（FB704），用于 MENU 控制，主要由 U400（gm5020）的 M2 端输入/输出 GP102 数字信号。

⑤脚（FB708），用于 AUTOCONFIG 自动配置控制，主要由 U400（gm5020）的 N1 端输入/输出 GP100 数字信号。

⑥脚（FB706），用于 SELECT 选择控制，主要由 U400（gm5020）的 G19 端输入/输出 GP107 数字信号。

⑦脚（FB705），用于 LCD_ONOFF 开关控制，其控制信号由 U701（P89C61X2BA）⑨脚输出。

⑧脚（GND），接地。

⑨脚（FB702），用于 LED_GREEN 绿色发光二极管控制，主要由 U400（gm5020）的 M1 端输入/输出 GP104 数字信号。

⑩脚（FB701），用于 LED_ORANGE 橙色发光二极管控制，主要由 U400（gm5020）的 L1 端输入/输出 GP105 数字信号。ORANGE 橙色发光二极管和 GREEN 绿色发光二极管合在一个独立的指示灯内部。

在康佳 LC-1700T 型液晶彩色电视机中，CN703 插排主要用于连接液晶屏供电电路，如图 2-5 所示，其引脚使用功能主要是：

①②脚（FB700），用于+12V 电压供电。

③④脚（GND），接地。

⑤脚（BKLT_ENAB），用 BKLT-EN 控制，其控制信号由 U701（P80C61×2BA）的 19 脚输出。

⑥脚（GND），接地。

⑦脚（BKLT_ADJ），用于 BKLT 供电，其供电压由 R710（4.7kΩ）和 R711 分压提供，但 R711 是否接入则根据采用的液晶屏决定。

小经验：液晶屏出现马赛克现象，但伴音正常的一种处理方法

根据出现故障时仍有正常伴音的特征，可初步判断是背光灯逆变器电路或液晶屏驱动电路有连接脱落或接触不良的现象，这时应关闭电源，首先注意观察背光灯驱动（逆变器）电路和液晶屏驱动电路之间的连线有否明显的脱落和接触不良现象；若没有不良和脱落现象，则可能是电路中有严重的污染情况，这时可用分析醇（无水酒精）清洗进线进口部分，待晾干（酒精挥发）后，再通电试机，一般都可以排除故障。

图 2-5　CN703 接口电路

小经验：液晶屏偶尔出现马赛克的一种处理方法

液晶屏偶尔出现马赛克的现象一般是 LCD 的硅导电胶引线有污染或接触不良等现象。这时通过清洗一般都可以排除故障，但若是 LCD 驱动电路连线有硅导电胶脱落现象，就只能更换 LCD。

在液晶彩色电视机中，LCD 的损坏率较 CRT 显像管的损坏率要高，其主要原因是不耐外力撞击，如 LCD 屏出现暗区或中央出现黑块等，一般都是因为外力撞击而导致 LCD 损坏。

小知识：液晶电视的调试环境及常用的仪器设备

1．调试环境

① 温度，20～30℃。

② 相对湿度，45%～75%。

③ 气压，86～106kPa。

2．仪器设备

① 信号发生器一台。

② 彩色信号分析仪一台。

③ 带有串行通信接口的计算机一台。

④ 带工厂设置键的遥控器一只。

5. PC-VGA/RGB 输入接口电路

在康佳 LC-1700T 型液晶彩色电视机中，PC-VGA/RGB 输入接口电路主要由后面板上的 CN100（PC-VGA）插座和 U100（AT24C21-PD1P8）、D101～D105、D107～D110 以及 U103、U105 等组成，如图 2-6 所示，主要用于输入计算机主机输出的视频信号。同时还设有 DVI 专业视频接口电路，如图 2-7 所示。

CN100（PC-VGA）插座用于连接输入 PC 的视频及扫描信号，其中：

① ⑥脚用于输入红基色正反相信号，并通过 FB101 和 D101 等送入图像数字处理电路。

② ⑦脚用于输入绿基色正反相信号，并通过 FB102 和 D102 等送入图像数字处理电路。

③ ⑧脚用于输入蓝基色正反相信号，并通过 FB103 和 D103 等送入图像数字处理电路。

⑭ ⑮脚用于输入行、场扫描同步信号。

U100（AT24C21-PDIP8）为 E^2P ROM 存储器，容量为 21Kbps，主要用于存储 PC 的一些数据信息，其中：

①②③脚为地址选择输入端，但使用时均接地。

④脚（GND），电路接地端。

⑤脚（SDA），串行数据输入/输出。

⑥脚（SCL），串行时钟输入/输出。

⑦脚（WP），页写功能控制，接地。

⑧脚（VCC），+5V 电源。

U100 不良或损坏时，无 PC 图像。

CN102（HEADER 12X1-2MM/VGACON_B）插排用于输入 PC 信号。其中：

①②脚用于输入红基色正反相信号。

③④脚用于输入绿基色正反相信号。

⑤⑥脚用于输入蓝基色正反相信号。

⑦脚（PC_HS）用于输入行扫描信号。

⑧脚（PC_VS）用于输入场扫描信号。

⑩ ⑪脚用于 I^2C 总线接口。

⑫脚用于/VGA_CON 控制。

CN103（HEADER7X2-2MM/DVICON_B）用于 DVI 信号输入，其中：

②③脚用于 RX2 信号输入。

④⑤脚用于 I^2C 总线接口。

⑥⑦脚用于 RX1 信号输入。

⑧⑨脚用于 RX0 信号输入。

⑩⑪脚用于 RXC 信号输入。

⑫脚，+5V 电源。

⑬脚用于 HOT PLUG 控制。

D109(BAV99)为双向钳位二极管，主要用于限制 HS-VGA 信号的最大幅度。故 D109 实际上是一个双向限幅器。

图 2-6 PC-VGA/RGB 输入接口电路（a）

C100（0.01μF）、C101（0.01μF）为高频耦合电容，其中 C100 用于耦合输出 R+信号，并送入 U400（gm5020）的 E1 端；C101 用于 R-输出，并送入 U400 的 E2 端。

C102（0.01μF）、C103(0.01μF)为高频耦合电容，其中 C102 用于耦合输出 G+信号，并送入 U400（gm5020）的 D1 端；C103 用于 G-输出，并送入 U400 的 D2 端。

C104（0.01μF）、C106（0.01μF）为高频耦合电容，其中 C104 用于耦合输出 B+信号，并送入 U400（gm5020）的 C1 端；C106 用于 B-输出，并送入 U400 的 C2 端。

U103（AT24C21）E²PROM 存储器，容量为 21 Kbps，主要用于存储 DVI-D 输入信号。其中：

①②③脚，用于地址选择输入，但使用时均接地。

④脚（GND），接地。

⑤脚（SDA），I²C 总线数据线。

⑥脚（SCL），I²C 总线时钟线。

⑦脚（WP），页写功能控制，接地。

⑧脚（VCC），+5V 电源。

U105（74F14/SOP14）用于 VGA 行、场扫描信号整形输出。其中：

①脚用于输入 VGA 插座⑭脚输入的 VS 场扫描同步信号。

③脚用于输入 VGA 插座⑬脚输入的 HS 行扫描同步信号。

⑩脚用于输出经 U105 内部整形等处理后的 HS 信号。

⑫脚用于输出经 U105 内部整形等处理后的 VS 信号。

D110（BAV99）为双向限幅器，主要用于限制 VS-VGA 信号的最大幅度。

图 2-6　PC-VGA/RGB 输入接口电路（b）

CN101 插座用于输入 DVI-D 信号，其中：

①②脚用于输入 RX2 正反相数字信号。

③ ⑪ ⑮ ⑲ ㉒脚，接地。

④ ⑤脚用于输入 RX4 正反相数字信号，但未用。

⑥脚（SCL），I^2C 总线时钟线。

⑦脚（SDA），I^2C 总线数据线。

⑧脚（NC），未用。

⑨ ⑩脚用于输入 RX1 正反相数字信号。

⑫ ⑬脚用于输入 RX3 正反相数字信号，但未用。

⑭脚，+5V 电源。

⑯脚（HP），用于 HOT_PLUG。

⑰ ⑱脚和㉓ ㉔脚分别用于输入 RX0 和 RXC 正反相数字信号。

小知识：DVI 插座

DVI 插座是一种专业的视频接口，主要用于输入数字高清视频信号。该插座可支持 1080I/50Hz、60Hz；720P/50Hz、60Hz；480P/60Hz；480I/60Hz；576P/50Hz；576I/50Hz 等多种显示格式。

DVI 全数字视频输入端口，可直接接收、显示电脑数字信号，完全避免信号损失及干扰信号引入，从而使电视机显示出计算机的 RGB 信号，并且使图像更清晰。

图 2-7　DVI 专业视频接口电路（a）

小知识：CD-DVD/NVD

CD-DVD 是具有中国自主知识产权的蓝光高清光盘，它主要是采用了波长为 405nm 的蓝光技术，并通过高效图像压缩技术，可播放 8 小时以上的高清图像。通常称其为蓝光 DVD，其主要的技术特点是缩短了激光的波长并增大了光学读取头物镜的数值孔径。

NVD 是一种采用波长为 650nm 的红光作为光源的红光高清光盘，其主要技术特点是采用了超分辨技术，缩小了光盘上的记录点尺寸，并提升了光学头的读出精度。因而 NVD 的存储密度高、容量大，常称其为红光 DVD。

小知识：电视信号的标准模式

电视信号的标准显示常有 480I、480P、576I、720P、1080P、1080I 等几种格式，其中：

480I 是 NTSC 制电视显示模式，场频为 60Hz，438 条可见垂直扫描线，屏显画面为 4:3。

480P 是 NTSC 制的 EDTV 显示模式，场频为 60Hz，场扫描线 525，故称 525P。

576I 是标准的 PAL 电视显示模式，场频为 50Hz，场扫描线 625，正程场扫描线 576，屏显画面为 4:3，属隔行扫描方式，又称其为 625i。

720P 是逐行扫描高清格式，垂直方向扫描线数 720 行，水平方向像素点 1280 个，全屏像素点 1280×720=921600。场频有 50Hz 和 60Hz。屏显画面 4:3（或 16:9）。

1080P/1080I 是 1920×1080 显示格式，水平方向像素点 1920 个，垂直扫描线数 1080 行，全屏像素点 1920×1080=2073600，其中 1080P 为逐行扫描，1080I 为隔行扫描。场频 50/60Hz。屏显画面 4:3（或 16:9）。

图 2-7　DVI 专业视频接口电路（b）

小知识：VGA 信号

VGA 信号是一种将数字格式的图像信号调制成模拟的高频信号，并通过 15 针做对称的 VGA 接口输入到显示器中。VGA 信号与一般的图像视频信号不同，一般的图像视频信号中不包含行、场扫描消隐信号，故不能直接输入到显示器中。VGA 信号中主要有 R、G、B 三基色信号和行、场同步信号，其中行、场同步信号是一种时序信号，它们都有图像显示区和图像消隐区（图像消隐区又分为消隐前肩、同步区和消隐后肩），只有在图像显示区才能输出相应的 RGB 信号，但在显示过程中，场时序信号是以行时序信号为单位，而行时序信号则是以显示像素的时钟为单位。

6. gm5020 图像数字处理控制器电路

在康佳 LC-1700T 型液晶彩色电视机中，图像数字处理功能主要由 U400（gm5020）集成电路来完成，如图 2-8 所示。其引脚的使用功能主要是：

A6、A7、A8、A9、A10、A11 端，用于+2.5V 电源输入，主要为模拟电路供电。

B2、B6、B7、B8、B9、B11、C3、D3、E3 端，用于+3.3V 电源输入，主要为模拟电路供电。

A2、A3、A4、B1、B3、B4、C4、C5、C7、C11、D4、D7、D11、E4 端，接地。

F2、F4、G1、G3、H1、J1、J3 端，用于+3.3V 电源输入，主要为 PLL 数字锁相环电路供电。

F3、G2、G4、H2、H3、J2、K3 端，主要为 PLL 数字锁相环电路供电。

E1、E2 端，用于 RED+/RED-红基色信号正相和反相输入，其中 RED+信号由 CN100（PC-VGA）插座的①脚提供，RED-信号由 CN100⑥脚提供。

D2、D1 端，用于 GREEN+/GREEN-绿基色信号正相和反相输入，其中 GREEN+信号由 CN100 插座的②脚提供，GREEN-信号由 CN100⑦提供。

C1、C2 端，用于 BLUE+/BLUE-蓝基色信号正相和反相输入，其中 BLUE+信号由 CN100 插座的③脚提供，BLUE-信号由 CN100⑧脚提供。

A1 端，用于 ADC-TEST，未用。

图 2-8　gm5020 图像数字处理控制电路（a）

图 2-8　gm5020 图像数字处理控制电路（b）

C6、D6 端，用于 RXC+/RXC-数据信号正相和反相输入，其中 RXC+信号由 CN101（DVI 插口）㉓脚提供，RXC-信号由 CN101 ㉔脚提供。

C8、D8 端，用于 RX0+/RX0-数据信号正相和反相输入，其中 RX0+信号由 CN101 ⑱脚提供，RX0-信号由 CN101 ⑰脚提供。

C9、D9 端，用于 RX1+/RX1-数据信号正相和反相输入，其中 RX1+信号由 CN101⑩脚提供，RX1-信号由 CN101⑨脚提供。

C10、D10 端，用于 RX2+/RX2-数据信号正相和反相输入，其中 RX2+信号由 CN101②脚提供，RX2-信号由 CN101①脚提供。

A5 端，用于 CLKOUT，未用。

B5 端，用于 VBUFC，未用。

B10 端，REXT，外接 1kΩ电阻。

H4、J4 端，用于时钟振荡，外接 24MHz 压控晶体振荡器。

K1 端，用于输入 VSYNC 场同步脉冲，由 U105（74F14/SOP14）的⑫脚提供，主要是 VGA 场同步信号。

L2 端，用于输入 HSYNC 行同步脉冲，由 U105 的⑩脚提供，主要是 VGA 行同步信号。

F1 端，用于 ANTEST，未用。

K2 端，用于 VDACP，未用。

L3 端，用于 EXTCLK 外部时钟控制。

A12 端，用于 VCLK 时钟输入，由 U300（SAA7114H）45 脚提供。

C14、B14、A14、C13、B13、A13、C12、B12 端，用于 8 位 YUV 数据信号输入，由 U300（SAA7114H）提供。

N1、M4、M3、M2、M1、L1、G18、G19 端，用于 8 位 GPIO 数据信号输入，由 CN702 插排提供。

R2、R1、P4、P3 端，用于数据总线输入/输出，与 U701（P89C61X2BA）的②③④⑤脚相连，主要用于传输 HDATA0～HDATA3 数据信息。

P2 端，用于 HFS/SDA 输入/输出。

P1 端，用于 HCLK/SCL 输入。

R3、R4 端，用于 IRQn 和 IRQIn，未用。

T1 端，RESETn 复位。

N2、N3 端，DCC-SCL/SDA 输入/输出，主要用于连接 CN101（DVI）的⑥⑦脚。

H8～H13、J8～J13、K8～K13、L8～L13、M8～M13、N8～N13 端，用于数字电路接地。

T3、V1、U1、U3、U2、W8、Y8、V12、W12 端，未用。

Y5、W5、V5、Y4、W4、V4、Y3、W3、V3、Y2、W2、Y1、W1、V2 端，用于 14 位 FSADDR 偏置供电。

E20、E19、E18、D20、D19、D18、C20、C19 端，用于 8 位蓝数字信号（DBBLU0…7）输出，并送入液晶屏显示器电路。

B20、B19、A20、A19、C18、B18、A18、C17 端，用于 8 位绿数字信号（DBGRN0…7）输出，并送入液晶屏显示器电路。

B17、A17、C16、B16、A16、C15、B15、A15 端，用于 8 位红数字信号（DBRED0…7）输出，并送入液晶屏显示器电路。

R19、R20、P18、P19、P20、N18、N19、N20 端，用于 8 位蓝数字信号（DABLU0…7）输出，并送入液晶屏显示器电路。

M18、M19、M20、L18、L19、L20、K20、K19 端，用于 8 位绿数字信号（DAGRN0…7）输出，并送入液晶屏显示器电路。

K18、J20、J19、J18、H20、H19、H18、H17 端，用于 8 位红数字信号（DARED0…7）输出，并送入液晶屏显示器电路。

F18 端，用于 DEN 输出，用于 PENAB 控制。

F19 端，用于 DVS 输出，用于 PVS 控制。

F20 端，用于 DHS 输出，用于 PHS 控制。

G20 端，用于 DCLK 输出，用于 PCLK 控制。

7. LVDS83A 驱动及液晶显示器电路

LVDS83A 是具有 56 个引脚的 8 位 RGB 数字信号处理电路，用于驱动液晶显示屏。在康佳 LC-1700T 型液晶彩色电视机中采用了 U500、U501 两只 LVDS83A 集成电路，如图 2-9 所示。液晶屏引脚电路如图 2-10 所示，8 位 RGB 信号输出电路如图 2-11 所示，液晶屏引脚及供电控制电路如图 2-12 所示。其中 U501（LVDS83A）的引脚使用功能主要是：

㊶ ㊷ ㊹ ㊺ ㊻ ③ ㊿ ②脚，用于 8 位红基色数字信号（DARED0…7）输入。

④ ⑥ ⑦ ⑪ ⑫ ⑭ ⑧ ⑩脚，用于 8 位绿基色数字信号（DAGRN0…7）输入。

⑮ ⑲ ⑳ ㉒ ㉓ ㉔ ⑯ ⑱脚，用于 8 位蓝基色数字信号（DABLU0…7）输入。

㉕脚，接地。

图 2-9　LVDS830A 集成电路

㉗脚，用于 PHS 行脉冲输入。

㉘脚，用于 PVS 场脉冲输入。

㉚脚，用于 PENAB 控制信号输入。

㉛脚，用 PCLK 时钟信号输入。

⑤ ⑬ ㉑ ㉙ ㊸脚，接地。

㉝ ㉟脚，用于 PLL 锁相环电路接地。

㉞脚，+3.3V 电源，主要用于 PLL 锁相环电路供电。

㊱ ㊸ ㊾脚，LVDS 接地。

㊹脚，+3.3V 电源，主要用于 LVDS 驱动输出的电路供电。

㊴脚，输出 ACLKTX+ 信号，并送入 CN502（WDSOUT/HEADER 15X2）的⑰脚。

㊵脚，输出 ACLKTX-信号，并送入 CN502 的⑱脚。

㊲脚（TXOUT3+），用于输出 ATX3+信号，并送入 CN502 的⑯脚。

㊳脚（TXOUT3-），用于输出 ATC3-信号，并送入 CN502 的⑮脚。

㊶脚（TXOUT2+），用于输出 ATX2+信号，并送入 CN502 的⑳脚。

㊷脚（TXOUT2-），用于输出 ATX2-信号，并送入 CN502 的⑲脚。

㊺脚（TXOUT1+），用于输出 ATX1+信号，并送入 CN502 的㉒脚。

㊻脚（TXOUT1-），用于输出 ATX1-信号，并送入 CN502 的㉑脚。

㊼脚（TXOUT0+），用于输出 ATX0+信号，并送入 CN502 的㉔脚。

㊽脚（TXOUT0－），用于输出 ATX0-信号，并送入 CN502 的㉓脚。

㉜脚（$\overline{\text{PWRDWN}}$），外接 10kΩ上拉电阻。

① ⑨ ⑰ ㉖脚，+3.3V 电源。

图 2-10　液晶屏引脚电路

DABLU（0…7）为 8 位蓝基色正极性信号，由 U400（gm5020）的 R19、R20、P18、P19、P20、N18、N19、N20 端提供，并通过 RN500（47Ω）和 RN501（47Ω）排阻分别送入 U500（LVDS83A）的⑮ ⑲ ⑳ ㉒ ㉓ ㉔ ⑯ ⑱脚。

DAGRN（0…7）为 8 位绿基色正极性信号，由 U400（gm5020）的 M18、M19、M20、L18、L19、L20、K20、K19 端提供，并通过 RN502（47Ω）、RN503（47Ω）排阻分别送入 U500（LVDS83A）的④ ⑥ ⑦ ⑪ ⑫ ⑭ ⑧ ⑩脚。

DARED（0…7）为 8 位红基色正极性信号，由 U400（gm5020）的 K18、J20、J19、J18、H20、H19、H18、H17 端提供，并通过 RN504（47Ω）、RN505（47Ω）排阻分别送入 U500（LVDS83A）的㊶ ㊷ ㊹ ㊺ ㊻ ③ ㊿ ②脚。

DBBLU（0…7）为 8 位蓝基色负极性信号，由 U400（gm5020）的 E20、E19、E18、D20、D19、D18、C20、C19 端提供，并通过 RN506（47Ω）和 RN507（47Ω）排阻分别送入 U501（LVDS83A）的⑮ ⑲ ⑳ ㉒ ㉓ ㉔ ⑯ ⑱脚。

DBGRN（0…7）为 8 位绿基色负极性信号，由 U400（gm5020）的 B20、B19、A20、A19、C18、B18、A18、C17 端提供，并通过 RN508（47Ω）和 RN509（47Ω）排阻分别送入 U501 的④ ⑥ ⑦ ⑪ ⑫ ⑭ ⑧ ⑩脚。

DBRED（0…7）为 8 位红基色负极性信号，由 U400（gm5020）的 B17、A17、C16、B16、A16、C15、B15、A15 端提供，并通过 RN510（47Ω）和 RN511（47Ω）排阻分别送入 U501（LVDS83A）的㊶ ㊷ ㊹ ㊺ ㊻ ③ ㊿ ②脚。

DHS、DVS、DEN、DCLK 为液晶屏显示控制信号，由 U400（gm5020）的 F20、F19、F18、G20 端输出。

图 2-11　8 位 RGB 信号输出电路

CN500（PANEL/HEADER 17X2）液晶屏引脚电路，其中：

④脚（RB7），用于输入 DBRED7 数据信号，该信号由 U400（gm5020）的 A15 端子提供。

⑥脚（RB6），用于输入 DBRED6 数据信号，该信号由 U400（gm5020）的 B15 端子提供。

⑧脚（RB5），用于输入 DBRED5 数据信号，该信号由 U400（gm5020）的 C15 端子提供。

⑩脚（RB4），用于输入 DBRED4 数据信号，该信号由 U400（gm5020）的 A16 端子提供。

U502（CEM9435A）用于液晶屏供电控制，其控制信号 PANEL_EN 由 U701（P89C61X2BA）⑱脚输出。

⑨脚（RB3），用于输入 DBRED3 数据信号，该信号由 U400（gm5020）的 B16 端子提供。

⑫脚（RB2），用于输入 DBRED2 数据信号，该信号由 U400（gm5020）的 C16 端子提供。

⑪脚（RB1），用于输入 DBRED1 数据信号，该信号由 U400（gm5020）的 A17 端子提供。

⑭脚（RB0），用于输入 DBRED0 数据信号，该信号由 U400（gm5020）的 B17 端子提供。

⑯脚（GB7），用于输入 DBGRN7 数据信号，该信号由 U400（gm5020）的 C17 端子提供。

⑱脚（GB6），用于输入 DBGRN6 数据信号，该信号由 U400（gm5020）的 A18 端子提供。

⑰脚（GB5），用于输入 DBGRN5 数据信号，该信号由 U400（gm5020）的 B18 端子提供。

⑳脚（GB4），用于输入 DBGRN4 数据信号，该信号由 U400（gm5020）的 C18 端子提供。

⑲脚（GB3），用于输入 DBGRN3 数据信号，该信号由 U400（gm5020）的 A19 端子提供。

㉒脚（GB2），用于输入 DBGRN2 数据信号，该信号由 U400（gm5020）的 A20 端子提供。

㉑脚（GB1），用于输入 DBGRN1 数据信号，该信号由 U400（gm5020）的 B19 端子提供。

㉔脚（GB0），用于输入 DBGRN0 数据信号，该信号由 U400（gm5020）的 B20 端子提供。

㉞ ㉛ ㉜ ㉙ ㉚ ㉗ ㉘ ㉖脚，分别用于输入 DBBLU0…7 数据信号，由 U400（gm5020）的 E20、E19、E18、D20、D19、D18、C20、C19 端子提供。

③ ⑤ ⑦ ⑬ ⑮ ㉓ ㉕ ㉝脚，接地。

图 2-12　液晶屏引脚及供电控制电路

小知识：维修液晶电视机的注意事项

（1）维修液晶电视机时应使用专用工具，并注意操作规程。

（2）首先要了解电路原理，认真阅读产品说明书。

（3）拆修时，要避免折弯、扭曲、撞击或重压液晶显示器。

（4）用四角螺钉固定 LCD，以防止 LCD 因遭受物理应力而损坏。

（5）组装时，系统必须进行防辐射处理，以防止电磁干扰，否则易使 LCD 不能正常工作。

（6）组装时，要绝对避免触碰 LCD 的 TCP 部分，TCP 部分十分脆弱，一旦触碰，极易导致驱动集成电路和内部薄膜损坏。

（7）维修时不要拔掉背光灯的连接线，否则易造成连接线接触不良或损坏。

（8）拆装 LCD 屏时要注意扭矩不要过强或过弱，使用螺钉的长度必须符合要求，否则易使 LCD 损伤。

（9）装配时，若 LCD 不完全连接会导致背光灯连接器燃烧，因此，连接时必须认真检查，确认无误后方可试机。

（10）不得在电源开启状态下接通或断开 LCD，否则会导致 LCD 损坏。

（11）在装配时要佩戴静电手环，并不能直接用手接触 LCD 的连接头，以防止静电使 LCD 损坏。

（12）LCD 损坏时，在屏幕某一部位会出现无光区（即黑块），此时不可修复，只有更新。

（13）液晶电视黑屏，且指示灯也不亮时，应首先检查控制信号是否正常，然后再检查逆变器电源是否正常。

（14）液晶电视出现“三无”故障时，应首先检查主开关电源是否正常，是否有+12V 输出。

（15）液晶电视黑屏，但指示灯亮时，应首先检查液晶显示器工作电源（3.3V）是否正常，若不正常，再进一步检查 CPU 控制系统。

（16）液晶电视机出现白屏时，应首先检查液晶屏与信号板之间的连接插件，然后再检查 A/D 转换器电路。

第 3 章　解读康佳 LC-TM2018 型液晶彩色电视机整机线路图

康佳 LC-TM2018 是康佳集团 2004 年推出的第三代液晶电视，适应于 PAL/NTSC/SECAM 多制式电视信号接收，其整机芯技术主要采用了：

N407　PW1306 液晶图像处理控制器。

N601　FSAV330 视频切换开关电路。

N603　FSAV330 视频切换开关电路。

N901　1CE3D　SO1G-D 开关电源电路。

N1003　TB1274AF 视频解码电路。

N1006　TDA9885T 中放单元处理电路。

N200　MSP3463G 伴音处理电路。

N2001　TDA1517P 伴音功放电路等。其中，TV 接收、中放、TV-CVBS 输出及伴音电路见附图 1，视频信号处理电路见附图 2，解码器电路见附图 3。

1. TV 接收及 IF 信号输出电路

在康佳 LC-TM2018 型液晶彩色电视机中，TV 接收及 IF 信号输出电路主要由 N1000 高频调谐器及 V1002、V1101、V1102、Z2001、Z2002 等组成，如图 3-1 所示。其中：

N1000 高频调谐器主要由+5V 直流电压供电，并由 I^2C 总线控制。

V1002（C388A）为预中频放大管，它与周围的 RC 等元件组成 IF 信号缓冲放大电路，并从集电极输出 IF 信号，主要用于补偿后面的声表面波电路带来的损耗。

V1101（BC847）为开关控制管，受 N1006（TDA9885T）㉒脚输出信号控制，主要用于中频制式切换控制，当 N1006㉒脚输出 0V 低电平时，V1101 截止，V1102 导通，D1101 和 D1102 均反偏截止，Z2001 和 Z2002 的①、②脚断开，系统工作在 NTSC 制式。当 N1006㉒脚输出 3.4V 高电平时，V1101 饱和导通，

图 3-1　TV 接收及 IF 信号输出电路（a）

V1102 截止，D1101 和 D1102 均正偏导通，Z2001 和 Z2002 的①②脚接通，系统工作在 PAL 制式。

Z2001 和 Z2002 为载波分离式声表面波滤波器，其中 Z2001 用于图像中频载波输出，Z2002 用于伴音中频载波输出。

2. TDA9885T 中频信号处理电路

TDA9885T 是由飞利浦公司开发的具有 I^2C 总线控制功能的 TV 中频信号处理电路，见图 3-1。其引脚使用功能主要是：

①脚（VIF1），图像中频载波信号输入 1。

②脚（VIF2），图像中频载波信号输入 2。

③脚（OP1），方式选择 1，但未用，外接 10nF 滤波电容。

④脚（FM PLL），调频检波锁相环回路滤波端，外接 C2209、R2213 和 C2210 组成双时间常数电路，用于锁相环检波电路滤波。

⑤脚（DEEM），外接 10nF 滤波电路。

⑥脚（AFD），外接 470nF 滤波电容。

⑦脚（DGND），数字电路接地端。

⑧脚（AUD），未用。

⑨脚（TOP），未用。

⑩脚（SDA），I^2C 总线数据线。

⑪脚（SCL），I^2C 总线时钟线。

⑫脚（SIOMAD），TV-SIF 电视伴音中频信号输出，并通过 C2010（0.01μF）电容耦合送入 N2000（MSP3463G）的㊿脚。

⑬脚（NC），未用。

⑭脚（TAGC），高放 AGC 延迟输出，其输出信号送入 N1000 高频调谐器的②脚。

图 3-1　TV 接收及 IF 信号输出电路（b）

⑮脚（REF），外接 4.0MHz 压控晶体振荡器，用于产生基准频率。

⑯脚（VAGC），中频 AGC 滤波端，外接 470nF 滤波电容。

⑰脚（CVBS），视频信号输出，经 V2003 射随放大后送入图像信号处理电路。

⑱脚（AGND），模拟电路接地端。

⑲脚（VPLL），视频检波锁相环电路滤波端，外接 C2227、C2225、R2031 组成双时间常数滤波电路。

⑳脚（Vp），+5V 电源。

㉑脚（AFC），自动频率微调控制，其控制信号通过 R2028 和 R2029 送入 N1000 高频调谐器的⑧脚，用于高频本振频率自动微调，以使 IF 中频载波信号保持在 38MHz。

注：㉑脚在图纸中标为 AFC，正确标注应为 AFT。

㉒脚（OP2），方式选择 2，用于 IF 中频制式选择控制。

㉓脚（SIF1），伴音中频载波信号输出 1。

㉔脚（SIF2），伴音中频载波信号输入 2。

3. MSP3463G 多标准音频处理电路

MSP3463G 是一种单片多制式声音处理器，具有处理电视伴音的全部功能，如图 3-2 所示，其主要性能及特点如下。

（1）涵盖了全球所有模拟电视标准的音频处理功能，并包含了丽音数字音频标准。前端是模拟伴音中频信号输入，后端是经处理后的模拟调频输出。

（2）可处理如下电视制式信号：

PAL-B/G，伴音中频 5.5MHz；

SECAM-L，伴音中频 6.5MHz；

PAL-I，伴音中频 6.0MHz；

SECAM-D/K，伴音中频 6.5MHz；

PAL-D/K，伴音中频 6.5MHz；

NTSC-M，伴音中频 4.5MHz 等。

（3）具有微分噪声抑制（MNR）的自动校正功能，可实现 DBX 噪声抑制。

（4）可自动检测实际的音频标准，在 IC 内部能够估计引导电压及识别信号，不需要任何的 I^2C 总线交互操作。

（5）在丽音处理时，能处理很高的 FM 偏差信号。

（6）只需要简单的 I^2C 传输即可对标准进行选择。

图 3-2　MSP3463G 多标准音频处理电路（a）

（7）有 PLOFP56脚直列、PSDIP64脚直列和 PQFP64脚方形三种封装形式，相互之间不能代换。在康佳 LC-TM2018 机型中采用的是 PQFP64脚方形封装。

N2000（MSP3463G）的引脚使用功能：

①脚（SDA），I^2C 总线数据线。

②脚（SCL），I^2C 总线时钟线。

③～⑨脚，未用。

⑩脚，+5V 电源。

⑪脚，接地。

⑫～⑮脚，未用。

⑯脚，复位输入，在稳定状态下需要高电平，复位时需要低电平。

⑰脚（DACA-R），耳机右声道输出，未用。

⑱脚（DACA-L），耳机左声道输出，未用。

⑲脚（VREF2），不受任何干扰的电源接地端，作为参考地 2。

⑳脚（DACM-R），右声道扬声器信号输出。

㉑脚（DACM-L），左声道扬声器信号输出。

图 3-2　MSP3463G 多标准音频处理电路（b）

㉒脚（NC），未用。

㉓脚（DACM-SUB），重低音信号输出，未用。

㉔脚（NC），未用。

㉕脚（SC2-OUT-R），SCART 右声道输出，未用。

㉖脚（SC2-OUT-L），SCART 左声道输出，未用。

㉗脚（VRE F1），参考地 1。

㉘脚（SC1-OUT-R），SCART1 右声道输出。

㉙脚（SC1-OUT-L），SCART1 左声道输出。

㉚ 脚（CAPL-A），外接耳机音量平滑滤波器，用于抑制耳机音量改变时产生的音频脉冲。

㉛脚（AHVS UP），+5V 电源，用于模拟电路供电。

㉜脚（CAPL-M），扬声器音量平滑滤波器，外接 10μF/10V 电解电容，用于抑制扬声器音量改变时产生的音频脉冲。

㉝脚（GND），接地。

㉞脚，外接 3.3μF/0.1μF 滤波电容。

㉟ ㊱脚，未用。

㊲ ㊵ ㊷ ㊽脚，接地。

㊳ ㊴脚，用于AV左、右声道音频信号输入。

㊶ ㊷脚，SCIL1/SCIR1 信号输出。

㊹ ㊺脚，用于左、右声道音频信号输入。

㊾脚（AVS UP），+5V 电源，用于模拟中频电路供电。

㊿脚（ANA-IN1+AVSS），TV-SIF 中频信号输入，外接 0.01μF 交流耦合电容。

(51)脚（ANA-IN-），中频公共点，外接 0.01μF 滤波电容。

(52)脚（ANA-IN2+），模拟中频信号对称输入，但外接 0.01μF 滤波电容。

(53)脚（TESTEN），测试端，工厂专用。正常时接地。

(54)脚（XTAL-IN），时钟振荡输入，外接 18.432MHz 压控晶体振荡器。

(55)脚（XTAL-OUT），时钟振荡输出，外接 18.432MHz 压控晶体振荡器。

(56)脚（TP），用于启动工厂测试模式，正常时该脚空置不用。

(57)脚（AUD-CL-OUT），音频时钟输出，输出时钟频率为 18.432MHz。

(58) (59)脚（NC），空脚。

(60)脚（D-CTR-OUT1），数字控制输入/输出 1，用于控制器的一个中断请求接口，但未用。

(61)脚（D-CTR-OUT0），数字控制输入/输出 2，用于控制器的一个中断请求接口，但未用。

(62)脚（ADR-SEL），I^2C 总线地址选择，接地。

(63)脚（STANDBYQ），待机控制端，外接 1kΩ上拉电阻，低电平时 MSP 关闭。

(64)脚（NC），未用。

4. TDA1517A 双通道立体声功率放大器

TDA1517A 是一种 2×6W 双通道 B 类线性立体声输出功率放大器，如图 3-3 所示。其主要特点是：

（1）输出功率为 2×6W。

（2）有 9 只引脚单列和 18 只引脚双列两种封装形式。

（3）内置有待机开关电路和静音开关电路。

（4）内部有 2 组互补式功放输出级电路。

图 3-3　TDA1517A 双通道立体声功率放大输出电路

N2001（TDA1517A）的引脚使用功能：

①脚（IN1），反相输入 1，用于输入左声道音频信号，正常工作电压约 1.6V。

②脚（SGND），音频信号输入电路接地端。

③脚（SV RR），电源电压纹波抑制，外接 100μF/16V 纹波滤波电容。

④脚（OUT1），内接互补式功率放大器 1，用于左声道音频信号功率放大输出。

⑤脚（PGND），电源接地端。

⑥脚（OUT2），内接互补式功率放大器 2，用于右声道音频信号功率放大输出。

⑦脚（VP），+12V 电源。

⑧脚（M/STB），静音和待机开关控制信号输入端，有信号工作电压约 11.0V，待机时工作电压 0V。

⑨脚（IN2），反相输入 2，用于输入右声道音频信号，正常工作电压约 1.6V。

⑩～⑱脚（GND），接地，接散热板

5. PQ05RD11 和 MP1410ES+5V 稳压电路

在康佳 LC-TM2018 型液晶彩色电视机中，PQ05RD11 和 MP1410ES 用于产生+5V 直流电压，如图 3-4 所示。其中，N1101（PQ05RD11）的引脚功能是：

图 3-4　MP1410ES 和 PQ05RD11 稳压电路

①脚（IN），输入+12V 电压，12V 电压通过 F1000 和 XS1001 插排①②脚从数字信号板中 N802（9435A）⑤脚获得。

②脚（OUT），输出 5V1 电压，主要为高频头和中放单元供电。

③脚（GND），接地。

④脚（CTRL），输入开关控制信号。

N1815（MP1410ES）的引脚使用功能是：

①脚（BS），外接 10nF 电容。

②脚（IN），+12V 电源输入。

③脚（SW），输出+5V2 电压，主要为 N1003（TB1274AF 解码器）、N1004（TC90A69F）梳状滤波器、N2000（MSP3463G 伴音处理电路）供电。

④脚（GND），接地。

⑤脚（FB），反馈输入端。

⑥脚（COMP），外接双时间常数滤波电路。

⑦脚（EN），未用。

⑧脚（N/C），未用。

XS1001（FROM XS802）插排引脚功能：

①脚，+12V 电源，主要为 N1101（PQ05RD11）和 N1815（MP1410ES）供电。

②脚，+12V 电源，与①脚并接。

③脚，接地。

④脚，接地。

6. TC90A69F 数字 Y/C 分离电路

TC90A69F 是一种具有数字处理功能的梳状滤波器，主要用于数字 Y/C 分离，如图 3-5 所示。其引脚使用功能主要是：

①脚（BIAS），外接 0.01μF 滤波电容，用于 D/A 转换偏置电压滤波。

②脚（VRT），外接 0.01μF 滤波电容。用于 ADC 输入范围信号上限电压滤波。

③脚（VDD1），+5V 电源。

④脚（TESTI1），外接 0.01μF 滤波电容。用于测试模式切换滤波。

⑤脚（VSS2），接地。

⑥脚（VRB），外接 0.01μF 滤波电容。

⑦脚（YCIN），视频信号输入（包括 Y、C 信号）。

⑧脚（TEST），测试端，接地。

⑨脚（KILLER），接地。

⑩脚（TESTI2），接地。

⑪脚（VDD3），+5V 接地。

⑫脚（VSS3），接地。

⑬脚（VDD2），+5V 电源。

⑭脚（TESTI3），接地。

⑮脚（SCL），I^2C 总线时钟线。

⑯脚（SDA），I^2C 总线数据线。

⑰脚（MODE1），未用。

⑱脚（TESTOUT），未用。

⑲脚（FSC），副载波输入。

⑳脚（VDD4），+5V 电源。

㉑脚（VSS4），接地。

㉒脚（FIL），环路滤波。

㉓脚（PD），与㉒脚并接。

㉔脚（VB2），外接 0.01μF 滤波电容。

㉕脚（YOUT），亮度信号输出，经 0.1μF 电容耦合送入 N1003（TB1274AF）⑤脚。

㉖脚（VSS1），接地。

㉗脚（COUT），色度信号输出，经 0.1μF 电容耦合送入 N1003（TB1274AF）⑦脚。

㉘脚（VB1），外接 0.01μF 滤波电容。

V1008（BC847）缓冲放大器，用于射随输出 CVBS 视频信号，并经 C1075（0.47μF/50V）耦合送入 N1004（TC90A69F）的⑦脚，在 IC 内部经梳状滤波后分离出亮度信号（Y）和色度信号（C），其中，亮度信号（Y）从㉕脚输出，通过 C1047（0.1μF）耦合送入 N1003（TB1274AF）的⑤脚；色度信号（C）从㉗脚输出，通过 C1048（0.1μF）耦合送入 N1003（TB1274AF）的⑦脚。输入到 V1008（BC847）基极的 CVBS 视频信号，由 N1003（TB1274AF）的③脚输出，该输出信号除送入梳状滤波电路外，还通过 V1004 向机外输出。

N1004（TC90A69F）是一种能够支持 PAC、NTSC、M-PAL 和 N-PAL 等制式的数字 Y/C 分离梳状滤波器集成电路，其主要特点是：

（1）内置动态梳状滤波器。

（2）内置 PLL 锁相环电路。

（3）内置 8 位 4 倍副载频 fsc 的模/数转换器。

（4）内置 8 位高精度的 8 倍副载频 fsc 的数/模转换器。

（5）内置同步头钳位电路。

（6）内置 1H 延迟行存储器。

（7）内置 I^2C 总线接口电路。

图 3-5　TC90A69F 数字 Y/C 分离电路（a）

V1009、V1010（BC847）等组成色副载波输出电路，其输出的色副载波信号经 C1091（0.1μF）耦合送入 N1004（TC90A69F）的⑲脚，主要用于梳状滤波器分离出 Y 信号和 C 信号。因此，当 V1009、V1010 及其周围元件不良或损坏时，N1004（TC90A69F）就不能分离出 Y 信号和 C 信号。

I^2C 总线时钟线（SCL）和数据线（SDA），分别通过 R1087（100Ω）和 R1086（100Ω）接至 N1004（TC90A69F）的⑮脚和⑯脚，对 N1004 内部功能进行控制。

图 3-5　TC90A69F 数字 Y/C 分离电路（b）

7. 外部 AV 信号输入电路

在康佳 LC-TM2018 型液晶彩色电视机中，外部 AV 信号输入电路主要有三条，第一条为 AV1 信号输入，第二条为 AV2 信号输入，第三条为 S 端子信号输入，其输入信号均直接送入 N1003（TB1274AF）视频解码器，如图 3-6 所示。

S 端子，主要用于输入分离式 Y/C 信号，其中 Y 信号通过 C1061、V1006 与 AV2 视频信号共同使用一条通道，故该 S 端子与 AV2 不能同时使用。Y 信号由 V1006 射极输出后，经 R1059、C1039 送入 N1003（TB1274-AF）的㊶脚；C 信号经 V1005 缓冲放大后通过 R1047、C1038 送入 N1003（TB1274AF）的㊴脚。

AV2 视音频输入插口，其中 AV2 视频信号通过 C1061、V1006 与 S 端子的 Y 信号共同使用一条通道，故该路视频信号不能与 S 端子同时使用。AV2 视频信号由 V1006 射极输出后，经 R1059、C1039 送入 N1003（TB1274AF）的㊶脚，AV2 左、右声道音频信号经 XS2015 插排的④②脚送入 N2000（MSP3463G）的㊶脚和㊷脚。

AV1 视音频输入插口，其中 AV1 视频信号经 C1071（10μF/16V）耦合、V1007（BC847）射随放大后经 R1075（47Ω）、C1040（0.1μF）送入 N1003（TB1274AF）的①脚；AV1 左、右声道音频信号经 R2000（1R）、C2060（0.47μF）和 R2001（1R）、C2061（0.47μF）送入 N2000（MSP3463G）的㊳脚和㊴脚。

图 3-6　外部 AV 信号输入电路（a）

V1004（BC847）用做视频信号缓冲放大器，主要输出由 N1003（TB1274AF）③脚输出的 CVBS 视频信号，为机外其他显示设备或录像设备提供视频信号源。V1004（BC847）为小功率 NPN 型管，损坏时可用 2SC1815 代换。由 N1003（TB1274AF）③脚输出的 CVBS 视频信号通过 R1052（100Ω）和 C1036（10μF/16V）耦合电容加到 V1004 的基极，同时由 R1052 输出的 CVBS 视频信号还经 C1073 耦合加到 V1008（BC47）的基极。因此当有图像而 AV 端的视频输出插口无信号输出时，应重点检查 V1004 和 C1036，一般是 C1036 失效。

图 3-6　外部 AV 信号输入电路（b）

在康佳 LC-TM2018 型液晶彩色电视机中，外部信号输入接口主要分为 6 个部分，S 端子和 AV1、AV2 输入端口为其中的 3 个部分，另外 3 个部分主要是外部 VGA 端子、外部 Y、Pb/Cb、Pr/CR 和 L/R 音频输入端子。其中，外部的 Y、Pb、Pr 端子输入的信号直接送入 N601（FSAV330 视频切换开关）的⑥脚、⑩脚和⑬脚，经转换后再送入 N603（FSAV330）最后送入 N407（PW1306）；外部 Y、Cb、Cr 端子输入的信号首先经 V602、V601、V603 缓冲放大后，再通过 XS606 插排的①③⑤脚和 XP1007 的①③⑤脚送入模拟信号板中的 N1003（TB1274AF）的⑲⑱⑰脚，经转换后再从㉑㉒㉓脚输出，通过 XP1005 插排的⑤③①脚和 XS602 插排的⑤③①脚，送入 N601（FSAV330）的⑭、⑤、⑪脚，经转换后从⑫、⑦、⑨脚输出，再经 N603 送入 N407（PW1306）；外部 VGA 端子主要输入 HS、VS、R、G、B 5 种信号。HS 和 VS 信号直接送入 N602（74HC4052D），经转换后再送入 N407（PW1306），R、G、B 三基色信号直接送入 N603（FSAV330），经转换后再送入 N407（PW1306）。

8. TB1274AF 视频信号解码电路

在康佳 LC-TM2018 型液晶电视机中，视频信号解码功能主要在 TB1274AF 视频解码器集成电路内部完成。TB1274AF 是一种能够处理 PAL/NTSC/SECAM 制式彩色电视信号的解码器，内部包括了亮度、色度、同步分离及 I^2C 处理等功能电路，其外围电路如图 3-7 所示。其引脚使用功能主要是：

①脚（CVBS/Y1-IN），主要用于外部 AV1 视频信号输入，并送入 IC 内部的视频信号选择电路。

②脚（SYNC-IN），同步信号输入。

③脚（CVBS-OUT），视频信号输出，由 IC 内部视频信号选择电路选出的视频信号经该脚和外部电路的 V1008、V1004 分别送入 N1004（TC90A69F）的⑦脚和 AV 板的视频输出插口。

④脚（VS），场同步信号输出。

⑤脚（COMB Y-IN），梳状滤波器亮度信号输入，由 N1004（TC90A69F）的㉕脚提供。

⑥脚（D-VDD），+5V 电源。

⑦脚（COMB C-IN/FORCED-S），梳状滤波器色度信号输入，由 N1004（TCV90A69F）的㉗脚提供。

⑧脚（D-GND），数字电路地。

⑨脚（HS），行同步信号输出。

⑩脚（SCP），沙堡脉冲输出。

⑪脚（Yvi-out），IC 内部视频选择电路输出的亮度信号，并经 C1050（0.1μF）耦合送入②脚，主要供给同步分离电路，以分离出行、场同步信号分别从⑨④脚输出。

⑫脚（Sync-Vcc），+5V 电源，主要供给同步分离和行振荡电路。

⑬脚（SCL），I^2C 总线时钟线。

⑭脚（SDA），I^2C 总线数据线。

⑮脚（YS3（RGB1-in）），输入信源选择控制信号输入，主要输入 SCART-FS 信号，由 XS2015（CON15）插排的⑫脚输入。

⑯脚（Sync-GND），同步电路接地端。

图 3-7　TB1274AF 视频信号解码电路（a）

⑰脚（Cr1-in），色度信号 V 分量输入，主要是由 XS1007（CONNECTOR-7）插排⑤脚输入的 C2 信号。

⑱脚（Cb1-in），色度信号 U 分量输入，主要是由 XS1007（CONNECTOR-7）插排③脚输入的 Cb 信号。

⑲脚（Y1-in），亮度信号输入，主要由 XS1007（CONNEC10R-7）插排①脚输入的 Y 信号。

⑳脚（CLP-fil），钳位滤波，外接 4.7μF/10V 滤波电容。

㉑脚（Y-out），亮度信号输出，并通过 XP1005 和 XS602 插排的①脚送入数字信号板中的 N601（FSAV-

330 视频切换开关）的⑭脚。

㉒脚（Cb-out），Cb 信号输出，并通过 XP1005 和 XS602 插排的③脚送入数字信号板中的 N601（FSAV330 视频切换开关）的⑤脚。

㉓脚（Cr-out），Cr 信号输出，并通过 XP1005 和 XS602 插排的⑤脚送入数字信号板中的 N601（FSAV330 视频切换开关）的⑪脚。

图 3-7　TB1274AF 视频信号解码电路（b）

㉔脚（YS1），（Ycbcr2-in）输入信源选择控制信号 1，但未用。

㉕脚（B1-in），蓝基色信号输入 1，主要输入 SCART-B 信号，由 XS2015（CON15）插排的⑥脚输入。

㉖脚（G1-in），绿基色信号输入 1，主要输入 SCART-G 信号，由 XS2015（CON15）插排的⑧脚输入。

㉗脚（R1-in），红基色信号输入，主要输入 SCART-R 信号，由 XS2015（CON-15）插排的⑩脚输入。

㉘脚（Y/C GND），接地。

㉙脚（Cr2-in），用于色度 Cr 分量输入 2，但在该机中未用。

㉚脚（Cb2-in），用于色度 Cb 分量输入 2，但在该机中未用。

㉛脚（Y2-in），用于亮度 Y 输入 2，但在该机中未用。

㉜脚（Y/C Vcc），+5V 电源。

㉝脚（B2-in），外部蓝基色信号输入 2，主要由 N1008（Z86229）的③脚提供。

㉞脚（G2-in），外部绿基色信号输入 2，主要由 N1008（Z86229）的②脚提供。

㉟脚（R2-in），外部红基色信号输入 2，主要由 N1008（Z86229）的⑱脚提供。

㊱脚（YS2/YM（RGB2-in）），外部 FS 消隐信号输入 2，主要由 N1008（Z86229）的⑰脚提供。

㊲脚（FIL），+5V 电源输入。

㊳脚（XTAL），外接 16.200MHz 压控晶体振荡器。

㊴脚（C3-IN），外部 S 端子的 C 信号输入。

㊵脚（APC-FIL），自动相位滤波，外接 RC 双时间常数滤波电路。

㊶脚（CVBS/Y3-IN），用于输入外部 S 端子的亮度信号（Y）。

㊷脚（ADDR ESS），未用。

㊸脚（C2-IN），色度信号 C 输入 2，未用。

㊹脚（CVBS2/Y2-IN），用于输入 TV 视频信号。

㊺脚（COMBSYS），未用。

㊻脚（Fsc-OUT），副载波信号输出。

㊼脚（AFC-FIL），自动频率控制滤波，外接 RC 双时间滤波电路。

㊽脚（C1-IN），色度信号 C 输入 1，未用。

9. Z86229TV 信号处理电路

Z86229 主要用于处理 TV-CVBS 视频信号，并输出 RGB 基色信号送入 N1008（TB1274AF）内部，如图 3-8 所示。其引脚使用功能主要是：

①脚（I^2C SEL），接地。

②脚（GREEN），输出 OSD-G 基色信号，通过 R1121（2.2kΩ）、C1055（0.1μF）送入 N1003（TB1274AF）的㉞脚。

③脚（BLUE），输出 OSD-B 基色信号，通过 R1122（2.2 kΩ）、C1056（0.1μF）送入 N1003（TB1274AF）的㉝脚。

图 3-8 Z86229TV 信号处理电路（a）

④脚（Serial EN），输入+5V电压。

⑤脚（HIN），输入行同步脉冲，由XS1005（CONNECTOR-9）插排的⑧脚提供。

⑥脚（SMS），接地。

⑦脚（Video IN），视频信号输入，由N1006（TDA9885T）的⑰脚通过V2003、V1012等提供。⑦脚外接V1012（BC847）为视频缓冲放大器。

⑧脚（CSYNC），同步电路滤波，外接0.1μF滤波电路。

⑨脚（LPF），滤波。

⑩脚（RREF），基准。

⑪脚（VSSA），接地。

⑫脚（Vcc），+5V电源。

⑬脚（VIN/INTRO），输入场同步脉冲，由XS1005（CONNECTOR-9）插排的⑦脚提供。

⑭脚（SDA），I^2C总线数据线，通过R1117（100Ω）和R1086（100Ω）与N1004（TC90A69F）的⑯脚相连接。

⑮脚（SCL），I^2C总线时钟线，通过R1118（100Ω）和R1087（100Ω）与N1004（TC90A69F）的⑮脚相连接。

⑯脚（NC），空脚。

⑰脚（BOX），输出OSD-FB控制信号。

⑱脚（RED），输出OSD-R基色信号，通过R1116（2.2K）和C1054（0.1μF）送入N1003（TB1274AF）㉟脚。

图3-8 Z86229TV信号处理电路（b）

10. 本机键盘输入电路

在康佳 LC-TM2018 型液晶彩色电视机中，本机键盘输入电路主要由 N508（74LVC541A）、N509（74LV273A）、N803（PIC12F629）等组成，用于完成 V+、V–、CH+、CH–、MENU、AU/TV、STANDBY 等控制功能。如图 3-9 所示。

RDn、CSOn 由 N407C（PW1306）的⑭脚和⑮脚输出，并直接加到 N508（74LVC541A）的①②脚，用于模式控制。当 RDn 和 CSOn 均为低电平时，N508 数据输入端若为低电平，则数据输出端也为低电平；当 RDn 和 CSOn 均为低电平时，N508 数据输入端若为高电平，则数据输出端也为高电平。

XS611 插排用于连接键盘扫描电路，其中：

①脚（STANDBY）用于开关机电源控制。

②脚（GND）接地。

③脚（AV/TV）用于外部视频信号转换控制。

④脚（MENU）用于菜单控制。

⑤脚（CH–）用于节目减选择控制。

⑥脚（CH+）用于节目加选择控制。

⑦脚（V–）用于音量减控制。

⑧脚（V+）用于音量加控制。

XS615 插排用于连接接收头和指示灯电路，其中：

①脚（STANDBY）用于输出待机控制信号，以控制指示灯。

②脚（+5）+5V 电源。

③脚（IRRCVR）用遥控信号输入。

④脚（GND）接地。

⑤脚（Red LED）用红指示灯控制。

⑥（Green LED）脚用于绿指示灯控制。

图 3-9　本机键盘输入电路（a）

11. 74LVC541A 三态线性驱动缓冲器

74LVC541A 是飞利浦公司开发的线性驱动缓冲器，如图 3-9 所示，其主要特点是：

（1）高速、低电源、低电压，可使输入驱动达到 3.3V 或 5V，输出信号为 5V。

（2）具有防静电保护功能。

（3）具有总线驱动的输出性能。

图 3-9 本机键盘输入电路（b）

（4）具有宽范围的操作电压（2.7～3.6V）。

N508（74LVC541A）的引脚使用功能：

①脚（$\overline{OE1}$），输入/输出控制，与 $\overline{OE2}$ 配合使用。当 $\overline{OE1}$ 和 $\overline{OE2}$ 均为低电平时，若 A0～Y7 为低电平，Y0～Y7 为低电平；若 A0～Y7 为高电平，Y0～Y7 为高电平。

②脚（I0），用于数据 A0 输入，主要输入 N803②脚信号。

③脚（I1），用于数据 A1 输入，主要输入键盘 V–信号。

④脚（I2），用于数据 A2 输入，主要输入键盘 V–信号。

⑤脚（I3），用于数据 A3 输入，主要输入键盘 CH+信号。

⑥脚（I4），用于数据 A4 输入，主要输入键盘 CH–信号。

⑦脚（I5），用于数据 A5 输入，主要输入键盘 MENU 信号。

⑧脚（I6），用于数据 A6 输入，主要输入键盘 AV/TV 信号。

⑨脚（I7），用于数据 A7 输入，主要输入键盘 STANDBY 信号。

⑩脚（GND），接地。

⑪脚（O7），用于数据 Y7（D8）输出，主要输出开关控制信号。

⑫脚（O6），用于数据 Y6（D9）输出，主要输出 AV/TV 控制信号。

⑬脚（O5），用于数据 Y5（D10）输出，主要输出 MUTE 选择信号。

⑭脚（O4），用于数据 Y4（D11）输出，主要输出 CH–控制信号。

⑮脚（O3），用于数据 Y3（D12）输出，主要输出 CH+控制信号。

⑯脚（O2），用于数据 Y2（D13）输出，主要输出 V–控制信号。

⑰脚（O1），用于数据 Y1（D14）输出，主要输出 V+控制信号。

⑱脚（O0），用于数据 Y0（D15）输出，主要输出开关控制信号。

⑲脚（$\overline{OE2}$），输入/输出控制，与 $\overline{OE1}$ 配合使用，见①脚所述，但当①脚或⑲脚为高电平时，Y0～Y7 输出为高阻状态，而 A0～A7 输入端无作用。

12．74LV273A 八路四态数字缓冲器

74LV273A 是飞利浦公司开发的采用低电源的数字缓冲器，如图 3-9 中所示，其主要特点有：

（1）具有独立的 8 路输入和输出，所有输出均由时钟或数据输入控制。

（2）具有宽范围操作电压（1.0～5.5V）。

（3）具有低电压供电的应用软件，供电压范围在 1.0～3.6V。

低压电源供电电路如图 3-10 所示。

N509（74LV273A）的引脚使用功能主要是：

①脚（$\overline{CLR}$），控制信号输入，低电平有效。

②脚（1Q），输出抛物波信号 Q0，主要是 RGB SEL0 信号。

③脚（1D），输入数据信号 D8，与 N508⑪脚相接。

④脚（2D），输入数据信号 D9，与 N508⑫脚相接。

⑤脚（2Q），输出抛物波信号 Q1，主要是 RGB SEL1 信号。

⑥脚（3Q），输出抛物波信号 Q2，未用。

⑦脚（3D），输入数据信号 D10，与 N508⑬脚相接。

⑧脚（4D），输入数据信号 D11，与 N508⑭脚相接。

⑨脚（4Q），输出抛物波信号 Q3，未用。

⑩脚（GND），接地。

⑪脚（CLK），时钟输入，由 N407C（PW1306）的⑳⓪脚提供。

⑫脚（5Q），输出抛物波信号 Q4，主要是 SW0 信号。

⑬脚（5D），输入数据信号 D12，与 N508⑮脚相接。

⑭脚（6D），输入数据信号 D13，与 N508⑯脚相接。

N801（MP1410）为降压，稳压集成电路，它主要是将+12V 电压降到+5V，并经稳压输出，其引脚功能主要是：

①脚（BS），外接 10nF 电容。

②脚（IN），用于+12V 电源输入。

③脚（SW），降压输出，外接 D810（FM5820）为 5V 稳压二极管，主要对输出电压进行钳位。其输出电压主要供给 N810、N811、N812、N813 稳压电路。

④脚（GND）接地。

⑤脚（FB），反馈输入。

⑥脚（COMP），外接 RC 电路。

⑦⑧脚，未用。

图 3-10　低压电源供电电路（a）

⑮脚（6Q），输出抛物波信号Q5，主要是SW1信号。

⑯脚（7Q），输出抛物波信号Q6，未用。

⑰脚（7D），输入数据信号D14，与N508⑰脚相接。

⑱脚（8D），输入数据信号D15，与N508⑱脚相接。

⑲脚（8Q），输出抛物波信号Q7，主要是MUTEOUT信号。

⑳脚（VCC），+3.3V电源。由N811供电，如图3-10所示。

图3-10 低压电源供电电路（b）

13. 开关稳压电源电路

在康佳 LC-TM2018 型液晶彩色电视机中，开关稳压电源主要由 N901（ICE3DSO1G-D）、V901（SPP7N60C3）和 T901（L27-V12）等组成，以产生+12V 电源为数字信号板和模拟信号板，以及逆变器电路供电，如图 3-11 所示。其中数字信号板电路中主要由 N801（MP1410ES）转变为+5V 电压，然后再由 N810、N811 转变成 3.3V 电压和由 N812、N811 转变成 1.8V 电压，因此数字信号板中的工作电压最高为 5V；模拟信号板电路中主要由 N815（MP1410MS）和 N1101（PQ05RD11）转变成 5V 电压，因此在模拟信号板中除伴音功放电路为 12V 供电外，其他电路均为 5V 供电；变频板电路中由逆变元件产生 600～700V 高频交流电压，主要为液晶屏的背光灯供电。

T901（L27-V12）电源开关变压器，它的 1~3 绕组为初级绕组，5~6 绕组为反馈绕组，其中①脚和⑤脚为同名端，当电源开关管饱和导通时，初级绕组储存能量，其极性为①脚正、③脚负，与此同时在变压器的耦合作用下，反馈绕组中产生感应电压，次级绕组 8、9 中也产生感应电压，其极性为⑤脚正、⑥脚负，⑪脚正、⑧脚负，故此时 D903、D904、D905 截止。

N901（ICE3DSO1G-D）为开关稳压电源的控制电路，主要起自动稳压控制作用，其引脚功能主要是：

①脚（SS），外接 0.47μF/50V 滤波电路。

②脚（FB），反馈输入。

③脚（IS），过流检测输入。

④脚（HV），供电源，未用。

⑤脚（HV），供电源，用于输入 300V 直流高压。

⑥脚（GATE），激励信号输出，用于驱动电源开关管。

⑦脚（VCC），启动电压输入，供电压为 18V。

⑧脚（GND），接地。

R905、R906 为 0.68Ω/2W 限流电阻，并联后阻值为 0.34Ω，串接在 V901开关管的源极与地之间，用于电流取样检测，其检测信号电压送入N901的β脚，以起过流保护作用。

图 3-11　开关稳压电源电路（a）

D904、D905（MBR2010D）用于 12V 整流输出，但它是在 V901 开关管截止期间导通，导通时向 C914、C915、C916 充电，并储存能量，在 V901 开关管导通时，C914、C915、C916 放电，以使 XS902③④脚有连续的+12V 电压输出。

D903（BAV21）与 C908（47μF/50V）组成 N901 供电电路，当开关电源启动后 T901 中的 5~6 反馈绕组储存能量，但在 V901 导通时，D903 截止，待 V901 截止时，反馈绕组中的感应电压极性转变，即⑥脚正、⑤脚负，故 D903 导通，并向 C908 充电，为 N901⑦脚供电，VD901 就主要起稳压作用，使 N901⑦脚电压稳定在 18V。V901 截止时 N901⑦脚由 C908 供电。

N902（PC817）光电耦合器，用于自动稳压环路，主要是将开关电源输出电压的变化量反馈给 N901，以起到自动稳压的作用。

N903（TL431）是一种灵智控制元件，主要用于调控 N902 的导通电流，当①脚电压升高时，②、③脚间的阻值减小，N902 导通电流增大，从而控制 V901 导通时间减少，输出电压下降，当①脚电压下降时，②、③脚的阻值增大，N902 导通电流减小，V901 导通时间增长，输出电压上升，因此起到自动稳压控制作用。

图 3-11　开关稳压电源电路（b）

14. 74HC4052D 电子开关转换电路

在康佳 LC-TM2018 型液晶电视机中，N602（74HC4052D）电子开关电路主要用于 TV/VGA/YUV 的行场同步脉冲转换输出，其输出的行场同步脉冲通过 N629（74HC14）送入 N407A（PW1306）的㊹㊺脚，如图 3-12 所示。有关 N602（74HC4052D）的引脚使用功能分别是：

①脚（Y0），用于输入由 XS602 插排⑧脚输入的 TV-HS 行同步脉冲信号。

②脚（Y2），与①脚并接。

③脚（Y），公共端输出，用于输出选择后的行同步信号，其输出信号再经 N629（74HC14/SO）的⑨⑧⑪⑩脚送入图像处理控制器 PW1306 的㊺脚。

④脚（Y3），用于输入 TV-HS 信号。

⑤脚（Y1），用于输入 VGA 端子输入的 GHSI 信号。

⑥脚（INH），使能控制端，接地。

⑦脚（VEE），电源接地端。

⑧脚（GND），接地。

⑨脚（B），用于开关信号 SWI 输入。

⑩脚（A），用于开关信号 SW0 输入，但它与⑨脚（B）配合使用。在 AB 均为低电平时 N602 的③⑬脚选择输出 TV 行场同步信号；在 A 为高电平，B 为低电平时，③⑬脚选择输出 VGA 行场同步信号；在 A 为低电平，B 为高电平时，③⑬脚选择输出 YUV 行场同步信号；在 AB 均为高电平时，③⑬脚选择输出 VGA（SOG）行场同步信号。

D603（BAV99L）、D604（BAV99L）、D605（BAV99L）为双向限幅器，分别用于限制由 XS601 VGA 插座输入的 GB、GG、GR 信号的幅度。当 GB 或 GG、GR 信号中有超过 5VP-P 的正脉冲时，D603 或 D604、D605 的 3、2 端导通，从而起到钳位限幅作用，同样，当 GB 或 GG、GR 信号中有过高的负脉冲出现时，D603 或 D604、D605 的 3、1 端导通，从而也起到钳位限幅作用。因此，在电路中，D603、D604、D605 实际上起的是光脉冲过高保护作用。

图 3-12　电子开关转换电路（a）

⑪脚（X3），用于输入TV-VS信号。

⑫脚（X0），用于输入由XS602插排⑦脚输入的TV-VS场同步信号。

⑬脚（X），公共端输出，用于输出选择后的场同步信号，其输出信号再经N629（74HC14）的①③④脚送入图像处理控制器PW1306的㊹脚。

⑭脚（X1），用于输入VGA端子输入的GVS1信号。

⑮脚（X2），与⑫脚并接。

⑯脚（VCC），+5V电源。

图3-12 电子开关转换电路（b）

15. FSAV330 视频转换开关电路

FSAV330 是一种具有 4 通道 2 选 1 的高性能视频模拟开关电路，如图 3-13 所示。其主要特点是：

（1）具有较低的导通阻值，约 3Ω。

（2）具有较宽的传输频带，约 200MHz。

（3）具有多路选择视频信号输入功能。

（4）具有较低的色度、亮度串扰。

（5）具有极低的静止电压。

D607（BAV99L）和 D608（BAV99L）为双向限幅器。其中，D607 用于 TXD1 信号限幅；D608 用于 RXD1 信号限幅。

D614（BAV99L）和 D615（BAV99L）为双向限幅器。其中，D614 用于 TXD 信号限幅；D615 用于 RXD 信号限幅。

XS604 插排用于输入外部高清信号，其中：

①脚（AIN-L），用于输入左声道音频信号。

②脚（AIN-R），用于输入右声道音频信号。

④脚（Pr-Cr），用于输入色度 V 分量（或 R-Y 色差）信号。

⑥脚（Pb-Cb），用于输入色度 U 分量（或 B-Y 色差）信号。

⑧脚（HD-Y），用于输入亮度（Y）信号。

D610（BAV99L）、D611（BAV99L）、D612（BAV99L）的双向限幅器，其中：

D610（BAV99L）用于 Cr 信号限幅，当 Cb 信号中有正向尖峰脉冲出现时，3、2 端导通，使最高正向脉冲幅度限制在 5Vp-p。当 Cb 信号中有负向尖峰脉冲出现时，3、1 端导通，使最低负向脉冲幅度限制在 0Vp-p。

D611（BAV99L）用于 Y 信号限幅，其作用与 D610 相同。

D612（BAV99L）用于 Cr 信号限幅，其作用与 D610 相同。

图 3-13　FSAV330 视频转换开关电路（a）

N601（FSAV330）的引脚使用功能主要是：

①脚（IN），用于输入 RGB SEL1 信号，该信号由 N509（74LV273A）的②脚输出。

②脚（S1A），接地。

③脚（S2A），接地。

④脚（DA），未用。

⑤脚（S1B），主要用于输入由 XS602 插排③脚输入的 TV-Cb 信号。

⑥脚（S2B），主要用于输入由 XS604 插排⑥脚输入的 Pb-Cb 信号。

⑦脚（DB），用于选择输出 R 基色信号，并送入 N603（FSAV 330）的⑪脚。

⑧脚，未用。

⑨脚（DD），用于选择输出 B 基色信号，并送入 N603（FSAV330）的⑤脚。

⑩脚（S2D），用于输入由 XS604 插排④脚输入的 Pr-Cr 信号。

⑪脚（S1D），用于输入由 XS602 插排⑤脚输入的 TV-Cr 信号。

⑫脚（DC），用于选择输出 G 基色信号，并送入 N603（FSAV330）的⑭脚。

⑮脚（$\overline{EN}$），使能控制，接地。

⑯脚（Vcc），+5V 电源。

图 3-13　FSAV330 视频转换开关电路（b）

N603（FSAV330）的引脚使用功能主是：

①脚（IN），用于输入RGB SEL0控制信号，该信号由QN509（74LV273A）⑤脚输出，如图3-14所示。

②脚（S1A），接地。

③脚（S2A），接地。

④脚（DA），未用。

⑤脚（S1B），输入由N601⑨脚输出的B基色信号。

⑥脚（S2B），用于输入由XS601 VGA端子输入的R基色信号。

图3-14　N603（FSAV330）应用电路

⑦脚（DB），用于选择输出R基色信号，并送入N407A（PW1306）的㊲脚。

⑧脚（GND），接地。

⑨脚（DD），用于选择输出B基色信号，并送入N407A（PW1306）的㊿脚。

⑩脚（S2D），用于输入由XS601 VGA端子输入的B基色信号。

⑪脚（S1D），用于输入由N601⑦脚输出的R基色信号。

⑫脚（DC），用于选择输出G基色信号，并送入N407A（PW1306）的㊸脚。

⑬脚（S2C），用于输入由XS601 VGA端子输入的G基色信号。

但 Y、Cb、Cr 信号是通过 XS606 插排送入模拟信号板，如图 3-15 所示。

图 3-15　缓冲放大电路

16. PW1306 LCD 图像处理控制电路

PW1306 图像处理器是一种高集成度的系统内置芯片，它可将多种格式的模拟数字，视频输入信号传输至数字投射系统，并能够适应固定频率的终端显示装置，其应用电路如图 3-16、图 3-17、图 3-18、图 3-19 所示。其引脚的使用功能主要是：

①脚（DVDD11），+1.8V 电源，主要为数字电路供电（供电 11）。

②脚（DGND11），数字电路接地 11。

③脚（DVDD 12），数字电路供电 12。

④脚（DGND12），数字电路接地 12。

图 3-16　N407C

⑤脚（RTERM），外接 430Ω偏置电阻。

⑥脚（DVDD31），数字电路接地 31。

⑦脚（NC），未用。

⑧脚（NC），未用。

⑨脚（DGND3A），数字电路接地。

⑩脚（NC），未用。

⑪脚（NC），未用。

⑫脚（DGND3B），数字电路接地。

⑬脚（NC），未用。

⑭脚（NC），未用。

⑮脚（DGND3C），数字电路接地。

⑯脚（NC），未用。

⑰脚（NC），未用。

⑱脚（DVDD32），数字电路供电 32。

⑲脚（DGND13），数字电路接地 13。

⑳脚（DVDD13），1.8V 电源，数字电路供电 13。

㉑脚（PGND11），P 接地 11。

㉒脚（PVD11），1.8V 电源 A，P 供电 11。

图 3-17　N407A

㉓脚（FILTER），外接双时间常数滤波电路。用于锁相环滤波。

㉔脚（PVD12），1.8V 电源 A，P 供电 12。

㉕脚（PGND12），P 接地 12。

㉖脚（PVD13），1.8V 电源 A，P 供电 13。

㉗脚（PGND13），P 接地 13。

㉘脚（ALVDD11）1.8V 电源 A，AL 供电 11。

㉙脚（ALVDD12）1.8V 电源 A，AL 供电 12。

㉚脚（ALGND11），AL 接地 11。

㉛脚（ALGND12），AL 接地 12。

㉜脚（AVDD31），3.3V 电源 ADC，模拟电路供电 31。

㉝脚（AVDD32），3.3V 电源 ADC，模拟电路供电 32。

㉞脚（AGND31），模拟电路接地 31。

㉟脚（AGND32），模拟电路接地 32。

㊱脚（AVDD33），3.3V 电源 ADC，模拟电路供电 33。

㊲脚（RED），用于模拟 R（红）基色信号输入，由 N603（FSAV330）的⑦脚提供。

㊳脚（AGND33），模拟电路接地 33。

㊴脚（AVDD34），3.3V 电源 ADC，模拟电路供电 34。

㊵脚（AGND34），模拟电路接地 34。

㊶脚（AVDD35），3.3V 电源 ADC，模拟电路供电 35。

㊷脚（AGND35），模拟电路接地 35。

㊸脚（GREEN），用于模拟 G（绿）基色信号输入，由 N603（FSAV330）的⑫脚提供。

㊹脚（SOG），外接 C454（1nF）与㊸脚并接。

㊺脚（AGND36），模拟电路接地㊱。

㊻脚（AVDD36），3.3V 电源 ADC，模拟电路供电 36。

㊼脚（AGND37），模拟电路接地 37。

图 3-18　N404D

㊽脚（AVDD37），3.3V 电源 ADC，模拟电路供电 37。

㊾脚（AGND38），模拟电路接地 38。

㊿脚（BLUE），用于模拟 B（蓝）基色信号输入。

(51)脚（AGND39），模拟电路接地 39。

(52)脚（AVDD38），3.3V 电源 ADC，模拟电路供电 38。

(53)脚（RXD），串行口接收数据。

(54)脚（TXD），串行口发送数据。

(55)脚（VPEN），视频端口使能输入。当 VPEN 为高电平时，输入像素数据有效。

(56)脚（V656_7），V656 模式位 7 输出。

(57)脚（V656_6），V656 模式位 6 输出。

(58)脚（V656_5），V656 模式位 5 输出。

(59)脚（V656_4），V656 模式位 4 输出。

(60)脚（V656_3），V656 模式位 3 输出。

(61)脚（V656_2），V656 模式位 2 输出。

㊷脚（V656_1），V656 模式位 1 输出。用于 BKL 0N 控制。

㊸脚（V656_0），V656 模式位 0 输出。用于 LCD 0N 控制。

㊹脚（VS），模拟场同步信号（AVSYNC）输入，由 N629（74HC14）④脚提供。

㊺脚（HS），模拟行同步信号（AHSYNC）输入，由 N629（74HC14）⑩脚提供。

㊻脚（DB7），蓝色数据位 7（DBE7）输出，在双像素模式下输出偶数位蓝色子像素。

㊼脚（DB6），蓝色数据位 6（DBE6）输出，在双像素模式下输出偶数位蓝色子像素。

㊽脚（VDDQ31），3.3V 电源，像素输出电路供电 31。

㊾脚（VSSQ31），像素输出电路接地 31。

㊿脚（DB5），蓝色数据位 5（DBE5）输出，在双像素模式下输出偶数位蓝色子像素。

(71)脚（DB4），蓝色数据位 4（DBE4）输出，在双像素模式下输出偶数位蓝色子像素。

(72)脚（VCLK），视频端口像素时钟。

(73)脚（DB3），蓝色数据位 3（DBE3）输出，在双像素模式下输出偶数位蓝色子像素。

(74)脚（DB2），蓝色数据位 2（DBE2）输出，在双像素模式下输出偶数位蓝色子像素。

(75)脚（VDD11），1.8V 电源，供电 11。

(76)脚（VSS11），接地 11。

(77)脚（DB1），蓝色数据位 1（DBE1）输出，在双像素模式下输出偶数位蓝子像素。

(78)脚（DB0），蓝色数据位 0（DBE0）输出，在双像素模式下输出偶数位蓝子像素。

(79)脚（DG7），绿色数据位 7（DGE7）输出，在双像素模式下输出偶数位绿子像素。

(80)脚（DG6），绿色数据位 6（DGE6）输出，在双像素模式下输出偶数位绿子像素。

(81)脚（DG5），绿色数据位 5（DGE5）输出，在双像素模式下输出偶数位绿子像素。

(82)脚（DG4），绿色数据位 4（DGE4）输出，在双像素模式下输出偶数位绿子像素。

(83)脚（VDDQ32），3.3V 电源，像素输出电路供电 32。

(84)脚（VSSQ32），像素输出电路接地 32。

(85)脚（DG3），绿色数据位 3（DGE3）输出，在双像素模式下输出偶数位绿子像素。

(86)脚（DG2），绿色数据位 2（DGE2）输出，在双像素模式下输出偶数位绿子像素。

(87)脚（DG1），绿色数据位 1（DGE1）输出，在双像素模式下输出偶数位绿子像素。

(88)脚（DG0），绿色数据位 0（DRE1）输出，在双像素模式下输出偶数位绿子像素。

(89)脚（DR7），红色数据位 7（DRE7）输出，在双像素模式下输出偶数位绿子像素。

(90)脚（DR6），红色数据位 6（DRE6）输出，在双像素模式下输出偶数位绿子像素。

(91)脚（DR5），红色数据位 5（DRE5）输出，在双像素模式下输出偶数位红子像素。

(92)脚（DR4），红色数据位 4（DRE4）输出，在双像素模式下输出偶数位红子像素。

(93)脚（DR3），红色数据位 3（DRE3）输出，在双像素模式下输出偶数位红子像素。

(94)脚（DR2），红色数据位 2（DRE2）输出，在双像素模式下输出偶数位红子像素。

(95)脚（VDD12），1.8V 电源，供电 12。

(96)脚（VSS12），接地 12。

(97)脚（DR1），红色数据位 1（DRE1）输出，在双像素模式下输出偶数位红子像素。

(98)脚（DR0），红色数据位 0（DRE0）输出，在双像素模式下输出偶数位红子像素。

(99)脚（DGB7），蓝色数据位 7（DB07）输出，在双像素模式下输出偶数位红子像素。其输出数据送入 XS504，如图 3-19 所示。

R425
100_NS
R423
47NC
C448
0.1μF
TP6
TP7
TP8
TP9
N407B
PW1306
DCLKNEG
DCLK
DVS
DHS
DEN
DCLKn
DRE[0...7]
DGE[0...7]
DBE[0...7]
DRO[0...7]
DGO[0...7]
DBO[0...7]
RP401 47X4
RP402 47X4
RP403 47X4
RP404 47X4
RP405 47X4
RP406 47X4
RP407 47X4
RP408 47X4
RP409 47X4
RP410 47X4
RP411 47X4
RP412 47X4
RP413 47X4

图 3-19 N407B

⑩⓪脚（DGB6），蓝色数据位 6（DB06）输出，在双像素模式下输出奇数位蓝子像素。

⑩①脚（DVS），显示场同步输出。

⑩②脚（DHS），显示行同步输出。

⑩③脚（DEN），显示使能控制。

⑩④脚（VDDQ33），3.3V 电源。像素输出电路供电 33。

⑩⑤脚（VSSQ33），像素输出电路接地 33。

⑩⑥脚（DCLK），显示像素时钟输出。

⑩⑦脚（DCLKNEG），显示像素时钟使能控制。

⑩⑧脚（DGB5），蓝色数据位 5（DB05）输出，在双像素模式下输出奇数位蓝子像素。

⑩⑨脚（DGB4），蓝色数据位 4（DB04）输出，在双像素模式下输出奇数位蓝子像素。

⑪⓪脚（DGB3），蓝色数据位 3（DB03）输出，在双像素模式下输出奇数位蓝子像素。

⑪①脚（DGB2），蓝色数据位 2（DB02）输出，在双像素模式下输出奇数位蓝子像素。

⑪②脚（DGB1），蓝色数据位 1（DB01）输出，在双像素模式下输出奇数位蓝子像素。

⑪③脚（DGB0），蓝色数据位 0（DB00）输出，在双像数据模式下输出奇数位蓝子像素。

⑪④脚（DGG7），绿色数据位 7（DG07）输出，在双像数据模式下输出奇数位绿子像素。

⑪⑤脚（DGG6），绿色数据位 6（DG06）输出，在双像数据模式下输出奇数位绿子像素。

⑪⑥脚（DGG5），绿色数据位 5（DG05）输出，在双像数据模式下输出奇数位绿子像素。

⑪⑦脚（DGG4），绿色数据位 4（DG04）输出，在双像数据模式下输出奇数位绿子像素。

⑪⑧脚（DGG3），绿色数据位 3（DG03）输出，在双像数据模式下输出奇数位绿子像素。

⑪⑨脚（DGG2），绿色数据位 2（DG02）输出，在双像数据模式下输出奇数位绿子像素。

⑫⓪脚（DGG1），绿色数据位 1（DG01）输出，在双像数据模式下输出奇数位绿子像素。

⑫①脚（DGG0），绿色数据位 0（DG00）输出，在双像数据模式下输出奇数位绿子像素。

⑫②脚（VDDQ34），3.3V 电源，像素输出电路供电 34。

⑫③脚（VSSQ34），像素输出电路接地 34。

⑫④脚（DGR7），红色数据位 7（DR07）输出，在双像数据模式下输出奇数据位红子像素。

⑫⑤脚（DGR6），红色数据位 6（DR06）输出，在双像数据模式下输出奇数据位红子像素。

⑫⑥脚（DGR5），红色数据位 5（DR05）输出，在双像数据模式下输出奇数据位红子像素。

⑫⑦脚（DGR4），红色数据位 4（DR04）输出，在双像数据模式下输出奇数据位红子像素。

⑫⑧脚（DGR3），红色数据位 3（DR03）输出，在双像数据模式下输出奇数据位红子像素。

⑫⑨脚（DGR2），红色数据位 2（DR02）输出，在双像数据模式下输出奇数据位红子像素。

⑬⓪脚（DGR1），红色数据位 1（DR01）输出，在双像数据模式下输出奇数据位红子像素。

⑬①脚（DGR0），红色数据位 0（DR00）输出，在双像数据模式下输出奇数据位红子像素，其输出数据送入 XS505。

⑬②脚（RESETB），复位。

⑬③脚（VDDQ35），3.3V 电源，像素输出电路供电 35。

⑬④脚（VSSQ35），像素输出电路接地 35。

⑬⑤脚（VDD13），1.8V 电源，供电 13。

⑬⑥脚（VSS13），接地13。

⑬⑦脚（TESTEN），外接 R424（0Ω）。

⑬⑧脚（TDO）

⑬⑨脚（TDI）

⑭⓪脚（TMS）

⑭①脚（TCK）

⑭②脚（$\overline{\text{TRST}}$）

⑭③脚（D15），微处理器 16 位双向数据总线位 15（D15）输入/输出。

⑭④脚（D14），微处理器 16 位双向数据总线位 14（D14）输入/输出。

⑭⑤脚（D13），微处理器 16 位双向数据总线位 13（D13）输入/输出。

⑭⑥脚（VDD14），1.8V 电源，供电 14。

⑭⑦脚（VSS14），接地14。

⑭⑧脚（D12），微处理器 16 位双向数据总线位 12（D12）输入/输出。

⑭⑨脚（D11），微处理器 16 位双向数据总线位 11（D11）输入/输出。

⑮⓪脚（D10），微处理器 16 位双向数据总线位 10（D10）输入/输出。

⑮①脚（D9），微处理器 16 位双向数据总线位 9（D9）输入/输出。

⑮②脚（D8），微处理器 16 位双向数据总线位 8（D8）输入/输出。

⑮③脚（D7），微处理器 16 位双向数据总线位 7（D7）输入/输出。

⑮④脚（D6），微处理器 16 位双向数据总线位 6（D6）输入/输出。

⑮⑤脚（D5），微处理器 16 位双向数据总线位 5（D5）输入/输出。

⑮⑥脚（D4），微处理器 16 位双向数据总线位 4（D4）输入/输出。

⑮⑦脚（D3），微处理器 16 位双向数据总线位 3（D3）输入/输出。

⑮⑧脚（D2），微处理器 16 位双向数据总线位 2（D2）输入/输出。

⑮⑨脚（D1），微处理器 16 位双向数据总线位 1（D1）输入/输出。

⑯⓪脚（D0），微处理器 16 位双向数据总线位 0（D0）输入/输出。

⑯①脚（A19），微控制器地址总线位 19（A19）输出。

⑯②脚（A18），微控制器地址总线位 18（A18）输出。

⑯③脚（A17），微控制器地址总线位 17（A17）输出。

⑯④脚（A16），微控制器地址总线位 16（A16）输出。

⑯⑤脚（DPLLVDD1），1.8V 电源，用于锁相环电路供电。

⑯⑥脚（DPLLVSS1），锁相环电路接地。

⑯⑦脚（MPLLVDD1），1.8V 电源，用于锁相环电路供电。

⑯⑧脚（MPLLVSS1），锁相环电路接地。

⑯⑨脚（XI），时钟振荡输入，外接 14.31818MHz 晶振。

⑰⓪脚（XO），时钟振荡输出，外接 14.31818MHz 晶振。

⑰①脚（VDDQ36），3.3V 电源，像素输出电路供电 36。

⑰②脚（VSSQ36），像素输出电路接地 36。

⑰③脚（VDD15），1.8V 电源，供电 15。

⑰④脚（VSS15），接地 15。

⑰⑤脚（A15），微控制器地址总线位 15（A15）输出。

⑯脚（A14），微控制器地址总线位14（A14）输出。

⑰脚（A13），微控制器地址总线位13（A13）输出。

⑱脚（A12），微控制器地址总线位12（A12）输出。

⑲脚（A11），微控制器地址总线位11（A11）输出。

⑳脚（A10），微控制器地址总线位10（A10）输出。

㉑脚（A9），微控制器地址总线位9（A9）输出。

㉒脚（A8），微控制器地址总线位8（A8）输出。

㉓脚（A7），微控制器地址总线位7（A7）输出。

㉔脚（VDD16），1.8V电源，供电16。

㉕脚（VSS16），接地16。

㉖脚（VDDQ37），3.3V电源，像素输出电路供电37。

㉗脚（VSSQ37），像素输出电路接地37。

㉘脚（A6），微控制器地址总线位6（A6）输出。

㉙脚（A5），微控制器地址总线位5（A5）输出。

㉚脚（A4），微控制器地址总线位4（A4）输出。

㉛脚（A3），微控制器地址总线位3（A3）输出。

㉜脚（A2），微控制器地址总线位2（A2）输出。

㉝脚（A1），微控制器地址总线位1（A1）输出。

㉞脚（NMI），不可屏蔽中断，高电平输入时，向微控制器发生不可屏蔽中断信号。受SW301控制。

㉟脚（$\overline{WR}$），写使能端，低电平时向外部RAM或其他器件写入数据。

㊱脚（$\overline{RD}$），读使能端，低电平时可从外部RAM或其他器件读取数据。

㊲脚（$\overline{ROMOE}$），ROM输出使能端，低电平时可从外部ROM读取数据。

㊳脚（$\overline{ROMWE}$），ROM写入使能端，低电平时可向外部ROM写入数据。

㊴脚（$\overline{CS0}$），综合芯片选择端0，低电平时选择外部芯片。

㊵脚（$\overline{CS1}$），综合芯片选择端1，低电平时选择外部芯片。

㊶脚（PORTA7），通用I/O端口7，可用于PWM输出。

㊷脚（PORTA6），通用I/O端口6，可用于TV/AV0控制。

㊸脚（PORTA5），通用I/O端口5，可用于IRRCVR控制。

㊹脚（PORTA4），通用I/O端口4，可用于TV/AV1控制。

㊺脚（PORTA3），通用I/O端口3。

㊻脚（PORTA2），通用I/O端口2，用于STB控制。

㊼脚（PORTA1），通用I/O端口1，用于I^2C总线时钟线（SCL）输入/输出。

㊽脚（PORTA0），通用I/O端口0，用于I^2C总线数据线（SDA）输入/输出。

17. 显示控制电路

在康佳 LC-TM2018 型液晶彩色电视机中，显示控制电路主要由 XS504 和 XS505 等组成，如图 3-20 和图 3-21 所示。其中 XS504 的引脚使用功能主要是：

图 3-20　XS504 引脚电路

图 3-21　XS505 引脚电路

①②③④脚，用于 VPENAL。

⑤⑥⑦⑧⑨⑩ ⑪ ⑫脚，输入 DRE7～DRE0 偶数位红基色数字信号。

⑬⑭⑮⑯⑰⑱⑲⑳脚，输入 DGE7～DGE0 偶数位绿基色数字信号。

㉑㉒㉓㉔㉕㉖㉗㉘脚，输入 DBE7～DGE0 偶数位蓝基色数字信号。

㉛脚，输入 DCLK 显示像素时钟信号。

㉜脚，输入 DEN 信号，用于显示像素使能控制。

㉝脚，输入 DVS 显示场同步信号。

㉞脚，输入 DHS 显示行同步信号。

XS505 的引脚使用功能主要是：

①②⑪⑫㉑㉒㉛㉜脚，接地。

⑨⑩⑦⑧⑤⑥③④脚，输入 DB01～DB08 奇数位蓝基色数字信号。

⑲⑳⑰⑱⑮⑯⑬⑭脚，输入 DG01～DG08 奇数位绿基色数字信号。

㉙㉚㉗㉘㉕㉖㉓㉔脚，输入 DR01～DR08 奇数位红基色数字信号。

18. AM29LV800BT-90 程序存储器电路

AM29LV800BT-90 是具有高容量的程序存储器（又称闪存），其应用电路如图 3-22 所示。其主要特性是具有擦除挂起和恢复功能和硬件复位输入、写保护输入功能，以及状态应答功能。其引脚使用功能主要是：

图 3-22　AM29LV800BT-90 程序存储器电路

①脚（A15），地址 16 输入。

②脚（A14），地址 15 输入。

③脚（A13），地址 14 输入。

④脚（A12），地址 13 输入。

⑤脚（A11），地址 12 输入。

⑥脚（A10），地址 11 输入。

⑦脚（A9），地址 10 输入。

⑧脚（A8），地址 9 输入。

⑪脚（$\overline{WE}$），写允许控制输入。

⑫脚（$\overline{RP}$），复位输入。

⑬脚（VPP），3.3V 电源。

⑭脚（$\overline{WP}$），写保护。

⑯脚（A18），地址 19 输入。

⑰脚（A17），地址 18 输入。

⑱脚（A7），地址 8 输入。

⑲脚（A6），地址 7 输入。

⑳脚（A5），地址 6 输入。

㉑脚（A4），地址 5 输入。

㉒脚（A3），地址 4 输入。

㉓脚（A2），地址 3 输入。

㉔脚（A1），地址 2 输入。

㉕脚（A0），地址 1 输入，其输入端与 XS304 引脚相接，如图 3-23 所示。

图 3-23　XS304 引脚电路

㉖脚（$\overline{CE}$），片选信号输入。

㉗脚（GND2），接地。

㉘脚（$\overline{OE}$），输出允许控制信号输入。

㉙脚（D1），16 位双向数据总线位 0（D0）输入/输出。

㉚脚（D9），16 位双向数据总线位 8（D8）输入/输出。

㉛脚（D2），16 位双向数据总线位 1（D1）输入/输出。

㉜脚（D10），16 位双向数据总线位 9（D9）输入/输出。

㉝脚（D3），16 位双向数据总线位 2（D2）输入/输出。

㉞脚（D11），16 位双向数据总线位 10（D10）输入/输出。

㉟脚（D4），16 位双向数据总线位 3（D3）输入/输出。

㊱脚（D12），16 位双向数据总线位 11（D11）输入/输出。

㊲脚（VCC），+3.3V 电源。

㊳脚（D5），16 位双向数据总线位 4（D4）输入/输出。

㊴脚（D13），16 位双向数据总线位 12（D12）输入/输出。

㊵脚（D6），16 位双向数据总线位 5（D5）输入/输出。

㊶脚（D14），16 位双向数据总线位 13（D13）输入/输出。

㊷脚（D7），16 位双向数据总线位 6（D6）输入/输出。

㊸脚（D15），16 位双向数据总线位 14（D14）输入/输出。

㊹脚（D8），16 位双向数据总线位 7（D7）输入/输出。

㊺脚（D16），16 位双向数据总线位 15（D15）输入/输出。

㊻脚（GND1），接地。

㊼脚（$\overline{\text{BYTE}}$），3.3V 电源。

㊽脚（A16），地址 17 输入。

N306（24C16）引脚使用功能：

①脚（NC0），地址 0，接地。

②脚（NC1），地址 1，接地。

③脚（NC2），地址 2，接地。

④脚（GND），接地。

⑤脚（SDA），I^2C 数据线。

⑥脚（SCL），I^2C 时钟线。

⑦脚（WP），页写功能，接地。

⑧脚（VCC），3.3V 电源。

XS304（HER 30×2）引脚使用功能：

①脚，地址 A2 输入。

②脚，地址 A1 输入。

③脚，地址 A4 输入。

④脚，地址 A3 输入。

⑤脚，地址 A6 输入。

⑥脚，地址 A5 输入。

⑦脚，接地。

⑧脚，地址 A7 输入。

⑨脚，地址 A9 输入。

⑩脚，地址 A8 输入。

⑪脚，地址 A11 输入。

⑫脚，地址 A10 输入。

⑬脚，3.3V 电源。

⑭脚，IRPn。

⑮脚，地址 A12 输入。

⑯脚，ICEn。3.3V 电源。

⑰脚，地址 A14 输入。

⑱脚，地址 A13 输入。

⑲脚，3.3V 电源。

⑳脚，地址 A15 输入。

㉑脚，地址 A17 输入。

㉒脚，地址 A16 输入。

㉓脚，地址 A19 输入。

㉔脚，地址 A18 输入。

㉕脚，接地。

㉖脚，IA20。

㉗脚，接地。

㉘脚，IA21。

㉙脚，3.3V 电源。

㉚脚，ROMWEn（ROM 写入使能端）。

㉛脚，ROMOEn（ROM 输出使能端）。

㉜脚，未用。

㉝脚，16 位双向数据总线位 15（D15）输入/输出。

㉞脚，16 位双向数据总线位 7（D7）输入/输出。

㉟脚，16 位双向数据总线位 14（D14）输入/输出。

㊱脚，16 位双向数据总线位 6（D6）输入/输出。

㊲脚，接地。

㊳脚，16 位双向数据总线位 13（D13）输入/输出。

㊴脚，16 位双向数据总线位 5（D5）输入/输出。

㊵脚，16 位双向数据总线位 12（D12）输入/输出。

㊶脚，16 位双向数据总线位 4（D4）输入/输出。

㊷脚，3.3V 电源。

㊸脚，接地。

㊹脚，16 位双向数据总线位 11（D11）输入/输出。

㊺脚，16 位双向数据总线位 3（D3）输入/输出。

㊻脚，16 位双向数据总线位 10（D10）输入/输出。

㊼脚，16 位双向数据总线位 2（D2）输入/输出。

㊽脚，3.3V 电源。

㊾脚，16 位双向数据总线位 9（D9）输入/输出。

㊿脚，16 位双向数据总线位 1（D1）输入/输出。

(51)脚，16 位双向数据总线位 8（D8）输入/输出。

(52)脚，16 位双向数据总线位 0（D0）输入/输出。

(53)～(60)脚，未用。

第 4 章　解读 TCL-LCD3026 型液晶彩色电视机整机线路图

1. 80C32PLCC 控制器

80C32PLCC 控制器是 Intel 公司开发的以 80C51 为内核的单片机系列产品之一，其内部基本结构主要有程序计数器 PC、指令寄存器、指令译码器、振荡器和定时器等，其外围电路如图 4-1 所示。其主要引脚使用功能是：

② 脚（P1.0），用于 MC_SCLK 时钟信号输出，主要液晶板电路。

③ 脚（P1.1），用于 MC_DATA 数据信号输出，主要控制液晶板电路。

④脚（P1.2），用于 2596-ON 控制信号输入。

⑤ 脚（P1.3），用于 REST-Ana10g 输出。

⑥脚（P1.4），MCA16 端口与 U31（AM27C20/SO）⑩脚连接，用于传输 18bit 数据位 16。

⑦脚（P1.5）MCA17 端口，与 U31（AM27C20/SO）⑥脚连接，用于传输 18bit 数据位 17。

⑧脚（P1.6），SCL2 I^2C 总线时钟线 2。

⑨脚（P1.7），SDA2 I^2C 总线数据线 2。

图 4-1　80C32PLCC 控制电路（a）

⑩脚（RESET），复位。

⑪脚（P3.0），RXD，经串行口接收数据。

⑬脚（P3.1），TXD，经串行口发送数据。

⑭脚（P3.2），INTR-ASM#输入。

⑮脚（P3.3），INTR-Main#输入。

⑯脚（P3.4），JTEST。

⑰脚（P3.5），RST-2200#输出。

⑱脚（P3.6），用于 MCWR#写使能控制。

⑲脚（P3.7），用于 MCRD#读使能控制。

⑳脚（X2），时钟振荡输出，外接 27MHz 晶体振荡器。

图 4-1　80C32PLCC 控制电路（b）

㉑脚（X1），时钟振荡输入，外接 27MHz 晶体振荡器。

㉒脚（GND），接地。

㉓脚，未用。

㉔脚（P2.0），A8，MCA8 端，用于 18bit 数据位 8 输入/输出。

㉕脚（P2.1），A9，MCA9 端，用于 18bit 数据位 9 输入/输出。

㉖脚（P2.2），A10，MCA10 端，用于 18bit 数据位 10 输入/输出。

㉗脚（P2.3），A11，MCA11 端，用于 18bit 数据位 11 输入/输出。

㉘脚（P2.4），A12，MCA12 端，用于 18bit 数据位 12 输入/输出。

㉙脚（P2.5），A13，MCA13 端，用于 18bit 数据位 13 输入/输出。

㉚脚（P2.6），A14，MCA14 端，用于 18bit 数据位 14 输入/输出。

㉛脚（P2.7），A15，MCA15 端，用于 18bit 数据位 15 输入/输出。

㉜脚（PSEN），程序存储使能，用于输出允许控制信号。

㉝脚（ALE/$\overline{P}$），MCALE 输入，与 U21（SN74LV373A）⑪脚相连接。

㉞脚，未用。

㉟脚（$\overline{EA}$/VP），外部寻址使能/编程电压，在访问整个外部程序存储器时，EA 必须低电平。如果 EA 为高电平时，将执行内部程序。当 RST 复位释放后，EA 脚的值被锁存，此后任何时序的改变均无效。该脚在对 Flash 编程时用于编程电压 PV。

㊱脚（P0.7），AD7，MCAD7 端，用于 8bit 数据位 7 输入/输出，POD 是开漏双向口，可向其写入“1”使其状态为悬浮，用做高阻输入。POD 也可以在访问外程序存储器时做地址的低字节，在访问外部数据存储器时作为数据总线，但此时通过内部强行上拉传送“1”。

㊲脚（P0.6），AD6，MCAD6 端，用于 8bit 数据位 6 输入/输出，与 U21（SN74LV373A）⑰脚连接。

㊳脚（P0.5），AD5，MCAD5 端，用于 8bit 数据位 5 输入/输出，与 U21（SN74LV373A）⑭脚连接。

㊴脚（P0.4），AD4，MCAD4 端，用于 8bit 数据位 4 输入/输出，与 U21（SN74LV373A）⑬脚连接。

㊵脚（P0.3），AD3，MCAD3 端，用于 8bit 数据位 3 输入/输出，与 U21（SN74LV373A）⑧脚连接。

㊶脚（P0.2），AD2，MCAD2 端，用于 8bit 数据位 3 输入/输出，与 U21（SN74LV373A）⑦脚连接。

㊷脚（P0.1），AD1，MCAD1 端，用于 8bit 数据位 1 输入/输出，与 U21（SN74LV373A）④脚连接。

㊸脚（P0.0），AD0，MCAD0 端，用于 8bit 数据位 0 输入/输出，与 U21（SN74LV373A）③脚连接。

2. AT24C16E^{2}PROM 只读存储器

AT24C16 是内存容量为 16KB 的串行 CMOS E^{2}PROM 存储器，其应用电路如图 4-2 所示。其内部具有 2048bit 的存储单元，可工作在低电源、低频率的条件下。其最大特点是：

（1）能接收存储微处理单元集成电路提供的数字信号，既可以作为主控器（发送器），又可以作为受控器（接收器）。

（2）可以随时输入/输出数据信息。

（3）具有 I^{2}C 总线接口电路。

（4）有写保护功能，当 WP 写保护端接入 VCC 电源时，整个存储器矩阵置为写保护状态，此时只能读出数据。只有 WP 写保护端接地时，才允许存储器进行读/写操作。

（5）在断电的情况下数据可永久保存。

（6）AT24C16 与 400 kHz I^2C 总线兼容。

（7）具有自动清除功能。

图 4-2　AT24C16 存储器应用电路

（8）具有页面写缓冲功能。

（9）工作电压可选择在 1.8～6V。

（10）100 万次编程、清除循环。

U22（AT24C16）引脚使用功能：

①脚（A0），地址 0，接地。

②脚（A1），地址 1，接地。

③脚（A2），地址 2，接地。

④脚（GND），芯片电路接地端。

⑤脚（SDA），I^2C 总线数据线输入/输出，主要输出 MC_DATA 数据信息。

⑥脚（SCL），I^2C 总线时钟输入/输出，主要输入 MC_SCLK 时钟信号。

⑦脚（TEST），测试端，接地，又作为 WP 接地。

⑧脚（VCC），+3.3V 电源。

3. W27C020/SST29E020 程序存储器

W27C020/SST29E020 是具有 32 Mbit 容量的闪存，其主要特点有：其应用电路如图 4-3 和图 4-4 所示。

（1）单一工作电压，2.7～3.6V。

（2）低功耗，读出电流在 5MHz 时约为 10mA，待机时电流约 200nA。

（3）数据可存储 10 年以上。

（4）具有擦除挂起和恢复功能。

（5）具有状态应答功能。

（6）具有硬件复位输入和写保护输入功能。

U23（W27C020/SST 29E020）主要引脚使用功能：

①脚（NC），接地。

②脚（A16），地址输入 16，用于输入/输出 18bit 数据位 16（MCA16）。

③脚（A15），地址输入 15，用于输入/输出 18bit 数据位 15（MCA15），与 U19（80C32）㉛脚相连接。

④脚（A12），地址输入 12，用于输入/输出 18bit 数据位 12（MCA12）与 U19（80C32）㉘脚相连接。

图 4-3　W27C020/SST29E020 程序存储器电路（a）

⑤脚（A7），地址输入 7，用于输入/输出 18bit 数据位 7（MCA7），与 U21（SN74LV373A）数据存储器⑲脚（Q7）相连接。

⑥脚（A6），地址输入 6，用于输入/输出 18bit 数据位 6（MCA6），与 U21（SN74LV373A）数据存储器⑯脚（Q6）相连接。

⑦脚（A5），地址输入 5，用于输入/输出 18bit 数据位 5（MCA5），与 U21（SN74LV373A）数据存储器⑮脚（Q5）相连接。

⑧脚（A4），地址输入 4，用于输入/输出 18bit 数据位 4（MCA4），与 U21（SN74LV373A）数据存储器⑫脚（Q4）相连接。

⑨脚（A3），地址输入 3，用于输入/输出 18bit 数据位 3（MCA3），与 U21（SN74LV373A）数据存储器⑨脚（Q3）相连接。

⑩脚（A2），地址输入 2，用于输入/输出 18bit 数据位 2（MCA2），与 U21（SN74LV373A）数据存储器⑥脚（Q2）相连接。

⑪脚（A1），地址输入1，用于输入/输出18bit数据位1（MCA1），与U21（SN74LV373A）数据存储器⑤脚（Q1）相连接。

⑫脚（A0），地址输入0，用于输入/输出18bit数据位0（MCA0），与U21（SN74LV373A）数据存储器②脚（Q0）相连接。

⑬脚（DQ0），数据输入/输出，用于8bit数据位（MCAD0）输入/输出，与U19（80C32）㊸脚相连接。

⑭脚（DQ1），数据输入/输出，用于8bit数据位1（MCAD1）输入/输出，与U19（80C32）㊷脚相连接。

图4-3 W27C020/SST29E020程序存储器电路（b）

⑮脚（DQ2），数据输入/输出，用于8bit数据位2（MCAD2）输入/输出，与U19（80C32）㊶脚相连接。

⑯脚（GND），接地。

⑰脚（DQ3），数据输入/输出，用于8bit数据位3（MCAD3）输入/输出，与U19（80C32）㊵脚相连接。

⑱脚（DQ4），数据输入/输出，用于8bit数据位4（MCAD4）输入/输出，与U19（80C32）㊴脚相连接。

⑲脚（DQ5），数据输入/输出，用于8bit数据位5（MCAD5）输入/输出，与U19（80C32）㊳脚相连接。

⑳脚（DQ6），数据输入/输出，用于8bit数据位6（MCAD6）输入/输出，与U19（80C32）㊲脚相连接。

㉑脚（DQ7），数据输入/输出，用于8bit数据位7（MCAD7）输入/输出，与U19（80C32）㊱脚相连接。

㉒脚（$\overline{CE}$），片选信号输入，接地。

㉓脚（A10），地址输入10，用于输入/输出18bit数据位10（MCA10），与U19（80C32）㉖脚相连接。

㉔脚（$\overline{OE}$），输出允许控制信号，与U19（80C32）㉜脚相连接。

㉕脚（A11），地址输入11，用于输入/输出18bit数据11（MCA11），与U19（80C32）㉗脚相连接。

㉖脚（A9），地址输入9，用于输入/输出18bit数据位9（MCA9）；与U19（80C32）㉕脚相连接。

㉗脚（A8），地址输入8，用于输入/输出18bit数据位8（MCA8）；与U19（80C32）㉔脚相连接。

㉘脚（A13），地址输入13，用于输入/输出18bit数据位13（MCA13），与U19（80C32）㉙脚相连接。

㉙脚（A14），地址输入14，用于输入/输出18bit数据位14（MCA14），与U19（80C32）㉚脚相连接。

㉚脚（A17），地址输入17，用于输入/输出18bit数据位17（MCA17），与U19（80C32）⑥脚相连接。

㉛脚（$\overline{WE}$），写允许控制输入。

㉜脚（VCC），+3.3V电源。

U30（AM27C020）引脚使用功能：

①脚（A11），地址输入11，输入MCA11。

②脚（A9），地址输入9，输入MCA9。

③脚（A8），地址输入8，输入MCA8。

④脚（A13），地址输入13，输入MCA13。

⑤脚（A14），地址输入14，输入MCA14。

⑥脚（A17），地址输入17，输入MCA17。

⑦脚（$\overline{PGM}$），输入写允许信号。

⑧脚（VCC），+3.3V电源。

⑨脚（VPP），接地。

⑩脚（A16），地址输入16，18bit数据位16（MCA16）输入。

⑪脚（A15），地址输入15，18bit数据位15（MCA15）输入。

⑫脚（A12），地址输入12，18bit数据位12（MCA12）输入。

⑬脚（A7），地址输入7，18bit数据位7（MCA7）输入。

⑭脚（A6），地址输入6，18bit数据位6（MCA6）输入。

⑮脚（A5），地址输入5，18bit数据位5（MCA5）输入。

⑯脚（A4），地址输入4，18bit数据位4（MCA4）输入。

⑰脚（A3），地址输入3，18bit数据位3（MCA3）输入。

图4-4 AM27C020应用电路（a）

⑱脚（A2），地址输入2，18bit数据位2（MCA2）输入。

⑲脚（A1），地址输入1，18bit数据位1（MCA1）输入。

⑳脚（A0），地址输入0，18bit数据位0（MCA1）输入。

㉑脚（D0），数据输入/输出，8bit数据位0（MCAD0）输入/输出。

图4-4 AM27C020应用电路（b）

㉒脚（D1），数据输入/输出，8bit数据位1（MCAD1）输入/输出。

㉓脚（D2），数据输入/输出，8bit数据位2（MCAD2）输入/输出。

㉔脚（GND），接地。

㉕脚（D3），数据输入/输出，8bit数据位3（MCAD3）输入/输出。

㉖脚（D4），数据输入/输出，8bit数据位4（MCAD4）输入/输出。

㉗脚（D5），数据输入/输出，8bit数据位5（MCAD5）输入/输出。

㉘脚（D6），数据输入/输出，8bit数据位6（MCAD6）输入/输出。

㉙脚（D7），数据输入/输出，8bit数据位7（MCAD7）输入/输出。

㉚脚（$\overline{CE}$），片选信号输入，接地。

㉛脚（A10），地址输入10，18bit数据位10（MCA10）输入。

㉜脚（$\overline{OE}$），输出允许控制信号。

U31（AM27C202/SO）引脚使用功能：

①脚（A11），地址输入11，输入MCA11。

②脚（A9），地址输入9，输入MCA9。

③脚（A8），地址输入8，输入MCA8。

④脚（A13），地址输入13，输入MCA13。

⑤脚（A14），地址输入14，输入MCA14。

⑥脚（A17），地址输入17，输入MCA17。

⑦脚（$\overline{PGM}$），输入写允许信号。

⑧脚（VCC），+3.3V电源。

⑨脚（VPP），接地。

⑩脚（A16），地址输入16，输入MCA17。

⑪脚（A15），地址输入15，输入MCA15。

⑫脚（A12），地址输入12，输入MCA12。

⑬脚（A7），地址输入7，输入MCA7。

⑭脚（A6），地址输入6，输入MCA6。

⑮脚（A5），地址输入 5，输入 MCA5。

⑯脚（A4），地址输入 4，输入 MCA4。

⑰脚（A3），地址输入 3，输入 MCA3。

⑱脚（A2），地址输入 2，输入 MCA2。

⑲脚（A1），地址输入 1，输入 MCA1。

⑳脚（A0），地址输入 0，输入 MCA0。

㉑脚（D0），数据输入/输出 8bit 数据位 0 输入/输出。

㉒脚（D1），数据输入/输出，8bit 数据位 1 输入/输出。

㉓脚（D2），数据输入/输出，8bit 数据位 2 输入/输出。

㉔脚（GND），接地。

㉕脚（D3），数据输入/输出，8bit 数据位 3 输入/输出。

㉖脚（D4），数据输入/输出，8bit 数据位 4 输入/输出。

㉗脚（D5），数据输入/输出，8bit 数据位 5 输入/输出。

㉘脚（D6），数据输入/输出，8bit 数据位 6 输入/输出。

㉙脚（D7），数据输入/输出，8bit 数据位 7 输入/输出。

㉚脚（$\overline{CE}$），片选信号输入，接地。

㉛脚（A10），地址输入 10，输入 MCA10。

㉜脚（$\overline{OE}$），输出允许控制信号。

4．FLI2200 图像处理电路（L6A 部分）

FLI2200 图像处理电路（L6A 部分）如图 4-5 所示，其主要引脚使用功能是：

①脚（VDD），3.3V 电源。

图 4-5　FLI2200 图像处理电路（L6A 部分）（a）

②脚（VSS），接地。

⑯脚（VDD_C），+2.5V 电源

⑰脚（VSS），接地。

㉝脚（VDD），+3.3V 电源。

㉞脚（VSS），接地。

㊵脚（PIXCLK），时钟信号输入。

㊷脚（AVDD），2.5V 电源。

图 4-5　FLI2200 图像处理电路（L6A 部分）（b）

㊸脚（AVSS），接地。

㊹脚（I2CADDR1），接地。

㊺脚（I2CADDR0），接地。

㊻脚（MODE），接地。

㊼脚（SDA），I^2C 总线数据线。

㊽脚（SCL），I^2C 总线时钟线。

㊾脚（RESETB），复位信号输入。

㊿脚（TEST2），测试端 2，接地。

(51)脚（TEST1），测试端 1，接地。

(52)脚（NOMEM），3.3V 偏置。

(53)脚（OEB），3.3V 偏置。

(54)脚（VDD_C），2.5V 电源。

(55)脚（VSS），接地。

(56)脚（IFORMAT2），3.3V 偏置。

(57)脚（IFORMAT1），3.3V 偏置。

(58)脚（IFORMAT0），接地。

(59)脚（OFORMAT2），接地。

(60)脚（OFORMAT1），3.3V 偏置。

(61)脚（OFORMAT0），接地。

(64)(74)(85)(96)(106)（VSS），接地。

(107)脚（VDD_C），2.5V 电源。

(115)(124)(132)(138)(145)(152)（VSS），接地。

(158)脚（VDD_C），2.5V 电源。

(159)脚（VSS），接地。

(109)脚（TEST0），测试端 0，接地。

5. AD9883 图像数字化处理电路

AD9883 是一种 8 位、140MSymb01 的模拟界面优化的图像数字化处理集成电路，主要用于 RGB 图像处理，如图 4-6 所示。其主要特点有：

（1）最大转换率 140MSymb01/s。

（2）模拟带宽 300MHz。

（3）模拟输入电压范围 0.5～1.0V。

（4）内含一个 110MHz 像素时钟，其输出频率范围在 12～110MHz。

（5）内含三组 ADC、一个锁相环、可编程增益、补偿和钳位控制等电路。

U3（AD9883）引脚使用功能：

①脚（GND），接地。

②脚（GREEN7），绿信号 8bit 数字位 7 转换输出。

③脚（GREEN6），绿信号 8bit 数字位 6 转换输出。

④脚（GREEN5），绿信号 8bit 数字位 5 转换输出。

⑤脚（GREEN4），绿信号 8bit 数字位 4 转换输出。

⑥脚（GREEN3），绿信号 8bit 数字位 3 转换输出。

图 4-6　AD9883 图像数字化处理电路（a）

⑦脚（GREEN2），绿信号 8bit 数字位 2 转换输出。

⑧脚（GREEN1），绿信号 8bit 数字位 1 转换输出。

⑨脚（GREEN0），绿信号 8bit 数字位 0 转换输出。

由 G 通道（⑨～②脚）输出的 G0～G7 数字信号，经排阻 RP3、RP4 缓冲后送入后级的图像处理电路。G 数据输出的最高位为 MSB，从像素采样到输出的延时是固定的，当采样时间随相位调整器改变时，输出时序也被切换，时钟、数据和行同步信号输出也发生改变。因此时序状态对基色信号的数据输出有着极为重要的作用。

图 4-6　AD9883 图像数字化处理电路（b）

⑩脚（GND），用于 B 通道接地。

⑪脚（VDD），+3.3V 电源。

⑫脚（BLUE7），蓝信号 8bit 数字位 7 转换输出。

⑬脚（BLUE6），蓝信号 8bit 数字位 6 转换输出。

㉔脚（P2.0），A8，MCA8 端，用于 18bit 数据位 8 输入/输出。

㉕脚（P2.1），A9，MCA9 端，用于 18bit 数据位 9 输入/输出。

㉖脚（P2.2），A10，MCA10 端，用于 18bit 数据位 10 输入/输出。

㉗脚（P2.3），A11，MCA11 端，用于 18bit 数据位 11 输入/输出。

㉘脚（P2.4），A12，MCA12 端，用于 18bit 数据位 12 输入/输出。

㉙脚（P2.5），A13，MCA13 端，用于 18bit 数据位 13 输入/输出。

㉚脚（P2.6），A14，MCA14 端，用于 18bit 数据位 14 输入/输出。

㉛脚（P2.7），A15，MCA15 端，用于 18bit 数据位 15 输入/输出。

㉜脚（PSEN），程序存储使能，用于输出允许控制信号。

㉝脚（ALE/$\overline{P}$），MCALE 输入，与 U21（SN74LV373A）⑪脚相连接。

㉞脚，未用。

㉟脚（$\overline{EA}$/VP），外部寻址使能/编程电压，在访问整个外部程序存储器时，EA 必须低电平。如果 EA 为高电平时，将执行内部程序。当 RST 复位释放后，EA 脚的值被锁存，此后任何时序的改变均无效。该脚在对 Flash 编程时用于编程电压 PV。

㊱脚（P0.7），AD7，MCAD7 端，用于 8bit 数据位 7 输入/输出，POD 是开漏双向口，可向其写入“1”使其状态为悬浮，用做高阻输入。POD 也可以在访问外程序存储器时做地址的低字节，在访问外部数据存储器时作为数据总线，但此时通过内部强行上拉传送“1”。

㊲脚（P0.6），AD6，MCAD6 端，用于 8bit 数据位 6 输入/输出，与 U21（SN74LV373A）⑰脚连接。

㊳脚（P0.5），AD5，MCAD5 端，用于 8bit 数据位 5 输入/输出，与 U21（SN74LV373A）⑭脚连接。

㊴脚（P0.4），AD4，MCAD4 端，用于 8bit 数据位 4 输入/输出，与 U21（SN74LV373A）⑬脚连接。

㊵脚（P0.3），AD3，MCAD3 端，用于 8bit 数据位 3 输入/输出，与 U21（SN74LV373A）⑧脚连接。

㊶脚（P0.2），AD2，MCAD2 端，用于 8bit 数据位 3 输入/输出，与 U21（SN74LV373A）⑦脚连接。

㊷脚（P0.1），AD1，MCAD1 端，用于 8bit 数据位 1 输入/输出，与 U21（SN74LV373A）④脚连接。

㊸脚（P0.0），AD0，MCAD0 端，用于 8bit 数据位 0 输入/输出，与 U21（SN74LV373A）③脚连接。

2. AT24C16E^{2}PROM 只读存储器

AT24C16 是内存容量为 16KB 的串行 CMOS E^{2}PROM 存储器，其应用电路如图 4-2 所示。其内部具有 2048bit 的存储单元，可工作在低电源、低频率的条件下。其最大特点是：

（1）能接收存储微处理单元集成电路提供的数字信号，既可以作为主控器（发送器），又可以作为受控器（接收器）。

（2）可以随时输入/输出数据信息。

（3）具有 I^{2}C 总线接口电路。

钳位时序由内部记时器延时决定，并在行输入信号至下一个同步头之间有效。但若不用时，该脚必须接地，此时通过程序将该脚功能禁止。

㊴脚（VD），3.3V 电源，主要为模拟电路供电。

图 4-7　JST-S6B 接口电路（b）

㊵脚（GND），接地。

㊶脚（GND），接地。

㊷脚（VD），3.3V 电源，主要为模拟电路供电。

㊸脚（BAIN），蓝模拟信号输入。

㊹脚（GND），用于蓝模拟信号输入通道接地。

㊺脚（VD），用于蓝模拟信号输入通道供电，3.3V。

㊻脚（VD），模拟电路供电，3.3V。

㊼脚（GND），接地。

㊽脚（GAIN），绿模拟信号输入。

㊾脚（SOGIN），绿枪同步输入该脚输入信号主要用于辅助嵌入同步。该脚内部有阈值高速比较器，并由程序控制。

㊿脚（GND），接地。

(51)脚（VD），3.3V 电源。

(52)脚（VD），3.3V 电源。

(53)脚（GND），接地。

(54)脚（RAIN），红模拟信号输入。

(55)脚（A0），串行接口地址输入。

(56)脚（SCA），I^2C 总线时钟线，JST-S6B 接口电路如图 4-7 所示。

(57)脚（SDA），I^2C 总线数据线。

(58)脚（REF BYP），内部参考旁路。

(59)脚（VD），3.3V 电源。

(60) (61) (63)脚，接地。

(62)脚（VD），3.3V 电源。

(65)脚（SOGOUT），幅度限制输出，但在该机中未用。

(66)脚（HSOUT），行同步输出，其输出极性和幅度可通过串行总线寄存器控制，其同步状态则由串行数据不断调整。

(67)脚（DATACK），数据输出时钟，主要为输出数据和 HSOUT 的外部逻辑提供主时钟信号。主时钟输出信号由 IC 内部时钟电路产生，并与内部取样时钟同步。

⑱脚（GND），接地。

⑲脚（VDD），+3.3V 电源，主要为数字电路供电。

⑳脚（RED7），红信号 8bit 数字位 7 转换输出。

㉑脚（RED6），红信号 8bit 数字位 6 转换输出。

㉒脚（RED5），红信号 8bit 数字位 5 转换输出。

㉓脚（RED4），红信号 8bit 数字位 4 转换输出。

㉔脚（RED3），红信号 8bit 数字位 3 转换输出。

㉕脚（RED2），红信号 8bit 数字位 2 转换输出。

㉖脚（RED1），红信号 8bit 数字位 1 转换输出。

㉗脚（RED0），红信号 8bit 数字位 0 转换输出。

㉘㉙脚（VDD），+3.3V 电源，主要为 R 通道供电。

㉚脚（GND），用于 R 通道接地。

由 R 通道（㉗～㉚脚）输出的 R0～R7 数字信号，经排阻 RP5、RP6 缓冲后送入后级图像处理电路。

6．FLI2200 图像处理电路（U6B 部分）

FLI2200 是一种平板显示芯片集成电路，其 U6B 部分电路如图 4-8 所示。主要用于图像处理。其主要特点是：

图 4-8　FLI2200 图像处理电路（U6B 部分）（a）

（1）能够对 NISC（525/60）、PAL/SECAM（625/50）复合视频信号进行去隔行处理。

（2）内部处理主要为 10 位数据处理，它的输入/输出均为 10 位数据通道，但也能够支持 8 位数据输入/输出。

（3）可以兼容高端和低端产品设计。

（4）内部主要包含了内部时钟发生器、SDRAM 控制器、显示控制器、输入/输出转换电路。

（5）支持 3∶2 和 2∶2 电影模式。

（6）可达 1100 像素/行。

（7）具有高性能的色度信号切换输出，从 4∶2∶2 到 4∶4∶4 或从 4∶4∶4 到 4∶2∶2。

（8）能够兼容大部分的视频解码器。

（9）具有简单的 I^2C 总线控制接口。

U6B（FIL2200）主要引脚使用功能：

③脚（HSYNCREFI），行同步参考输入。当该脚信号为低时，选择偶数场，当该脚信号为高时，选择奇数场。

④脚（VSYNCREFI），场同步或参考信号输入。

图 4-8　FLI2200 图像处理电路（U6B 部分）（b）

⑤脚（FLDIN），场标志输入，接地。

⑥脚（B/CbIN0），接地。

⑦脚（B/CbIN1），接地。

⑧～⑮脚（B/CbIN2～B/CbIN9），蓝基色或 CB 分量信号输入通道，主要输入 8bit 蓝基色信号（DU0～DU7）。

⑱⑲脚（G/YIN0/1），接地。

⑳～㉗脚（G/YIN2～G/YIN9），绿基色或亮度信号输入通道，主要输入 8bit 绿基色信号或亮度信号（DY0～DY7）。

㉘㉙脚（R/CrIN0/1），接地。

㉚～㉜脚和㉟～㊴脚（R/CrIN2～R/CrIN9），红基色或 Cr 分量信号输入通道，主要输入 8bit 红基色信号（DV0～DV7）。

⑮⑯脚（G/YOUT1/0），未用。

⑫～⑩脚和⑨～⑤脚（G/YOUT2～G/YOUT9），绿或亮度 8bit 数据信号（VY0～VY7）输出，并通过 RP7、RP8 排阻输出 PC8～PC15 信号。

⑦⑧脚（R/CrOUT1/0），未用。

⑥、③～⑦脚（R/CrOUT2～R/CrOUT9），红 8bit 数据信号（VC0～VC7）输出，并通过 RP9、RP10 排阻输出 PC0～PC7 信号。

7．VGA 接口电路

VGA 接口电路主要用于输入外部计算机信号，如图 4-9 所示。

P11（VGA 接口）的引脚功能：

①脚（RED），输入红基色信号，经 R29、C75、R28、C76 两级滤波后送入 U11D（JAGUAR-ANALOG）的 A13 脚。

②脚（GREEN），输入绿基色信号，经 R33、C77、R32、C78 两级滤波后送入 U11D（JAGUAR-ANALOG）的 A16 脚。

③脚（BLUE），输入蓝基色信号，经 R37、C79、R36、C80 两级滤波后送入 U11D（JAGUAR-ANALOG）的 A21 脚。

图 4-9　VGA 接口电路（a）

④脚（ID2），未用。

⑤脚（GND），接地。

⑥脚（RGND），红基色输入通道接地，通过 R30 与 U11D（JAGUAR-ANALDG）A⑫脚相接。

⑦脚（GGND），绿基色输入通道接地，通过 R34 与 U11D（JAGUAR-ANALOG）A⑯脚相接。

⑧脚（BGND），蓝基色输入通道接地，通过 R38 与 U11D（JAGUAR-ANALOG）A⑳脚相接。

⑨脚（VCC），+5V 电源。

⑩脚（GND），接地。

⑪脚（ID0），未用。

⑫脚（DDDA（ID1）），串行总线数据线，主要与 U8（ST24FW21）E²PROM 存储器的⑤脚（SDA）连接。

⑬脚（HSYNC），行同步信号输入，主要送入 U11A 的 D⑥脚。

⑭脚（VSYNC），场同步信号输入，主要送入 U11A 的 P3 脚。

⑮脚（DDCK（ID3）），串行总线时钟线，主要与 U8（ST24FW-21）E²PROM 存储器的⑥脚（SCL）连接。

图 4-9 VGA 接口电路（b）

8. K4S643232C SDRAM 存储器

K4S643232C 是一种低功耗的同步动态存储器，主要与平板显示芯片配合使用，如图 4-10 所示。其主要引脚功能是：

②④⑤⑦⑧⑩⑪⑬⑭⑯⑰⑲⑳㉒㉓㉕㉛㉝㉞㊱㊲㊴㊵㊷㊺㊼㊽㊿(51)(53)脚，30bit 数据线主要与 U6C（FLI2200）平板显示芯片相连接。

㉕～㉗、(60)～(66)、㉔脚，10 位地址线，主要与 U6C（FLI2200）平板显示芯片相连接。

⑰脚（$\overline{WE}$），写控制信号输入。

⑱脚（$\overline{CAS}$），列地址选通控制信号输入。

⑲脚（$\overline{RAS}$），行地址选通控制信号输入。

⑳脚（$\overline{CS}$），片选脉冲输入端，接地。

㉒脚（BA0），快速选择信号输入。

㉓脚（BA1），快速选择信号输入，接地。

(67)脚（CKE），时钟电路电源。

(68)脚（CLK），时钟信号输入。

③⑨㉟㊶㊾(55)(75)(81)①⑮㉙㊸脚，3.3V 电源。

⑥⑫㉜㊳㊻(52)(78)(84)㊹(58)(72)(86)脚，接地。

图 4-10　K4S643232C 同步动态存储器应用电路（a）

9. FLI2200 图像处理电路（U6C）部分

⑱脚（MEMCLKO），SDRAM 时钟和 2 倍频率输出采样时钟。该脚为高电平时，连接到 U7 同步动态存储器⑧脚有效。当选择 10 位输出模式时，输出时钟信号将改变时钟速率，并作为时钟输出，如图 4-10 所示。

⑲脚（WEN），SDRAM 写允许控制。低电平有效。

⑳脚（RASN），SDRAM 行地址。选通控制，低电平时有效。

㉑脚（CASN），SDRAM 列地址选通控制，低电平时有效。

㉒脚（BSEL），SDRAM 区域选择。当电路中采用两只 16Mbit 的 SDRAM 时，该脚连接到 BA 或 BS 或 A11 端。当采用 64Mbit SDRAM 时，该脚连接到 BA0 或 A11。

图 4-10　K4S643232C 同步动态存储器应用电路（b）

⑯～㉝、㉛～㉕脚（ADDR0～ADDR10），用于 SDRAM 地址总线，可扩展 SDRAM 的寄存器寻址。

⑬⑨～⑭③、⑭⑥～⑮⓪、⑮③～⑮⑦、⑯⓪～⑯⑥、⑯⑨～⑰⑥脚，用于 SDRAM 数据总线，可从 SDRAM 内存区读取数据或向 SDRAM 内存区存入数据。

10. JAGUAR-DIGITAL（U11A）

JAGUAR-DIGITAL（U11A）应用电路如图 4-11 所示。其主要引脚功能是：

P1、P2、N2、N3、M1～M4 脚（PA00～PA07），用于 8bit PAB（7…0）输入。

L1～L4、K2～K4、J1 脚（PA08～PA15），用于 8bit PAG（7…0）输入。

J2～J4、H1～H3、G1、G2 脚（PA16～PA23），用于 8bit PAR（7…0）输入。

G4 脚（PCLKA），输入DVICK 信号。

F1 脚（DEIN），输入 DVIDE 信号。

F2 脚（HSYNC-0），输入 DVI-HSYNC 信号。

G3 脚（DVSYNC），输入 DVI-VSYNC 信号。

图 4-11 JAGUAR-DIGITAL（U11A）应用电路（a）

E2 脚（PWM1/GPIO0），输出 PD～DVI 控制信号。

P4 脚（PCLKB），未用，通过 4.7kΩ电阻接地。

D6 脚（HSYNC1），输入 VGA-HSYNC。

C6 脚（HSYNC2），未用，通过 4.7kΩ电阻接地。

P3 脚（PBVSYNC），输入 VGA-VSYNC。

B6、B5、C5、D5、A4、B4、A3、B3 脚（MCAD0～MCAD7），用于 8bitMCAD（7…0）输入。

图 4-11 JAGUAR-DIGITAL（U11A）应用电路（b）

AA4 脚（PCLKC），输入 DI_YCLK 信号。

AB2 脚（PCHREF），输入 DI_HREF。

AB3 脚（PCHSYNC），输入 DI_HSYNC 信号。

AB1 脚（PCVSYNC），输入 DI_VSYNC 信号。

C3 脚，MCA8 输入。

A2 脚，MCA9 输入。

C4 脚（MCCS#），接地。

D3 脚（MCALE），MCALE 输入。

E3 脚（MCRD#），JRD 输入。

E4 脚（MCWR#），JWR 输入。

D2 脚（INTR#），INTR-ASM 输出。

E1 脚（SYSRST#），RESET 输入。

D1 脚（TEST），JTEST 输入。

F4 脚（SDA），MC-DATA 输入/输出。

F3 脚（SCL），MC-SCLK 输入/输出。

B2 脚（GPIO4），SCDT 输入。

AF1～AF4、AE1～AE4、AD1～AD4、AC1～AC4 脚（PC00～PC15），用于 16bitPC（15…0）输入。

AE5 脚，通过 4.7kΩ电阻接地。

AD5 脚（PCVREF/GPIO2），输入 DI-VREF。

11. JAGUAR-SDRAM（U11B）

JAGUAR 的 B 部分主要用于 SDRAM 同步动态存储器 64Mbit 数据输入/输出，如图 4-12 所示。

AD22、AE22、AC23、AD23、AE23、AC24、AD24、AE24 脚（SDD00～SDD07），用于SD0～SD7 输入/输出。

AF24、AC25、AD25、AE25、AF25、AD26、AE26、AB24 脚（SDD08～SDD15），用于SD8～SD15输入/输出。

AB25、AB26、AA23～AA26、Y23、Y24 脚（SDD16～SDD23），用于 SD16～SD23 输入/输出。

Y25、W24～W26、L23～L25、K24 脚（SDD24～SDD31），用于 SD24～SD31 输入/输出。

V23～V26、U23～U25、P25、P26、N24、N25 脚（SDA0～SDA-10），用于SA0～SA10输入/输出。

A23、F26、L26、R26、AC25、AF28 脚（VSS），接地。

G23、N23、W23 脚（VSSC），接地。

T24 脚（MEMCLK），SDRAM 时钟输入，但通过 4.7kΩ电阻接地。

图 4-12 JAGUAR-SDRAM（U11B）应用电路（a）

T25 脚（SDCKFB），用于 TSCLK 时钟输出。

R23 脚（SDCKP），用于SCLK 时钟输出。

T26 脚（SDCAS#），SDRAM 列地址选择。

R24 脚（SDCKE），用于 BA1/CKE 输出。

R25 脚（SDWE#），用于 SDRAM 写允许控制。

P24 脚（SDRAS#），SDRAM 行地址选择。

M26 脚（SDCS0），用于 BA1/SCS 输出。

M23 脚（DQM），用于 TSDQM 输出。

M24 脚（BANK），用于 TSBA0 输出。

K25、K26、J23～J25、H23～H26、G24～G26、F23～F25、E23～E26、D24～

图 4-12 JAGUAR-SDRAM（U11B）应用电路（b）

D26、C23～C26、B23～B26、A24、A25 脚（SDD32～SDD63），用于 SD32～SD63 输入/输出。

12. JAGUAR-PANEL（U11C）

JAGUAR-PANEL（U11C）应用电路如图 4-13 所示，其主要引脚使用功能是：

L11～L16、M11～M16、N11～N16、P11～P16、R11～R16、T11～T16 脚（VSS），接地。

AC22、AC17、AC11 脚（VSSC），接地。

AF19、AF18、AF8 脚（VSS），接地。

AF22 脚（ENBKL），PENBKL 输出。

AD21 脚（ENVDD），PENVDD 输出。

B1 脚（PWM1），PWM1 输出。

AF12 脚（PNLCLK），通过 220Ω电阻接地。

AC13 脚（PSHFCLK），PSHFCLK 时钟输出。

AF20 脚（PDE），PDE 输出。

AF21 脚（PHSYNC），PHSYNC 行同步脉冲输出。

AC21 脚（PVSYNC），PVSYNC 场同步脉冲输出。

AF5、AC6、AD6、AE6、AF6、AC7、AD7、AE7 脚（PD00～PD07），输出 P0～P7 数字信号。

AF7、AD8、AE8、AC9、AD9、AE9、AF9、AC10 脚（PD08～PD15），输出 P8～P15 数字信号。

AD10、AE10、AD11、AE11、AF11、AC12、AD12、AE12 脚（PD16～PD23），输出 P16～P23 数字信号。

AD13、AE13、AD14、AE14、AF14、AC15、AD15、AE15 脚（PD24～PD31），输出 P24～P31 数字信号。

图 4-13　JAGUAR-PANEL（U11C）应用电路（a）

AF15、AC16、AD16、AE16、AD17、AE17、AF17、AC18 脚（PD32～PD39），输出 P32～P39 数据信号。

AD18、AE18、AF18、AC19、AD19、AE19、AD20、AE20 脚（PD40～PD47），输出 P40～P47 数据信号。

AC20、AC14、AC8 脚（VDDC），+2.5V 电源。

AF21、AF16、AF10 脚（VDD），+3.3V 电源。

图 4-13 JAGUAR-PANEL（U11C）应用电路（b）

13. JAGUAR-ANALOG（U11D）

JAGUAR-ANALOG（U11D）应用电路如图 4-14 所示，其主要引脚使用功能是：

A10 脚（R2N），接地。

A11 脚（R2P），接地。

A14 脚（G2N），接地。

A15 脚（G2P），接地。

A18 脚（B2N），接地。

A19 脚（B2P），接地。

A12 脚（R1N），模拟红信号 N 输入。

A13 脚（R1P），模拟红信号 P 输入。

A16 脚（G1N），模拟绿信号 N 输入。

A17 脚（G1P），模拟绿信号 P 输入。

A20 脚（B1N），模拟蓝信号 N 输入。

A21 脚（B1P），模拟蓝信号 P 输入。

A8 脚（I1），接地。

A9 脚（I2），接地。

C12～C19 脚，未用。

B22 脚（VDDP1），+2.5V 电源。

C22 脚（VDDP2），+2.5V。

A22 脚（VSSP1），接地。

图 4-14　JAGUAR-ANALOG（U11D）应用电路（a）

D22 脚（VSSP2），接地。

图 4-14 JAGUAR-ANALOG（U11D）应用电路（b）

B20 脚（PVSS1），接地。

B21 脚（GPVSS），接地。

D20 脚（PVDD1），+2.5V 电源。

C21 脚（GPVDD），+2.5V 电源。

A6 脚（XIN），时钟振荡输入。

A7 脚（XOUT），时钟振荡输出。

D11 脚（IVDD2），+2.5V 电源。

D12 脚（IVDD1），+2.5V 电源。

D13 脚（RVDD2），+2.5V 电源。

D14 脚（RVDD1），+2.5V 电源。

D15 脚（GVDD2），+2.5V 电源。

D16 脚（GVDD1），+2.5V 电源。

D17 脚（BVDD2），+2.5V 电源。

D18 脚（BVDD1），+2.5V 电源。

B11～B19 脚，接地。

D19 脚（SVDD），+2.5V 电源。

C20 脚（AVSS1），接地。

C10 脚（AVDD1），+2.5V 供电。

C11 脚（AVDD2），+2 .5V 供电。

C7 脚（AVSS2），接地。

B8 脚（CVSS2），接地。

B9 脚（CVSS1），接地。

D8 脚（CVDD2），2.5V 供电。

D9 脚（CVDD1），2.5V 供电。

C8 脚（AVDD3），2.5V 供电。

C9 脚（AVDD4），2.5V 供电。

D10 脚（DVDD），+2.5V 电源。

B10 脚（DVSS），接地。

B7 脚（XVSS），未用。

D7 脚（XVDD），+3.3V 电源。

14. K4S643232C（U12）SDRAM 存储器

K4S643232C（U12）同步动态存储器，主要用于存储由 JAGUAR-SDRAM（U11B）输出/输入的 64bit 数据中的 SD0～SD31 和 11 位地址选择输入，如图 4-15 所示。其主要引脚使用功能是：

㉕脚（A0），输入 TSA0 地址选择信号，由 U11B 的 V23 脚输出。

㉖脚（A1），输入 TSA1 地址选择信号，由 U11B 的 V24 脚输出。

㉗脚（A2），输入 TSA2 地址选择信号，由 U11B 的 V25 脚输出。

㉚脚（A3），输入 TSA3 地址选择信号，由 U11B 的 V26 脚输出。

㉛脚（A4），输入 TSA4 地址选择信号，由 U11B 的 U23 脚输出。

㉜脚（A5），输入 TSA5 地址选择信号，由 U11B 的 U24 脚输出。

㉝脚（A6），输入 TSA6 地址选择信号，由 U11B 的 U25 脚输出。

㉞脚（A7），输入 TSA7 地址选择信号，由 U11B 的 P25 脚输出。

㉟脚（A8），输入 TSA8 地址选择信号，由 U11B 的 P26 脚输出。

㊱脚（A9），输入 TSA9 地址选择信号，由 U11B 的 N24 脚输出。

㉔脚（A10/AP），输入 TSA10 地址选择信号，由 U11B 的 N25 脚输出。

㉒脚（BA0），SDRAM 区域选择信号输入，由 U11B 的 M24 脚提供。

㉓脚（BA1），SDRAM 区域选择信号输入，由 U11B 的 M26、R24 脚提供。

图 4-15　K4S643232C（U12）SDRAM 存储器电路（a）

⑳脚（$\overline{CS}$），片选脉冲输入。由 U11B 的 M26 脚提供。

⑰脚（CKE），时钟电源，由 U11B 的 R24 脚控制。

⑱脚（CLK），时钟输入，由 U11B 的 R23 脚提供。

⑲脚（$\overline{RAS}$），行地址选通控制信号输入，由 U11B 的 P24 脚输出。

⑱脚（$\overline{CAS}$），列地址选通控制信号输入，由 U11B 的 T26 脚输出。

⑰脚（$\overline{WE}$），写控制信号输入，由 U11B 的 R25 脚输出。

⑯ ⑪ ㉘ ㊾脚（DQM0～DQM3），数据输出屏蔽，由 U11B 的 M23 脚输出。

⑥⑫㉜㊳㊻㊷㊽㊹脚（VSSQ），接地。

㊹㊽㊷㊻脚（VSS），接地。

②④⑤⑦⑧⑩⑪⑬⑭⑯⑰⑲⑳㉒㉓㉕㉛㉝㉞㊱㊲㊴㊵㊷㊺㊼㊽㊿(51)(53)(54)(56)脚（DQ0～DQ31），输入 64bit 数据中的前半部分数据 SD0～SD31，由 U11B 输出/输入。

③⑨㉟㊶㊾(55)(75)(81)脚（VCCQ），+3.3V 电源。

①⑮㉙㊸脚（VCC），+3.3V 电源。

图 4-15　K4S643232C（U12）SDRAM 存储器电路（b）

15. K4S643232C（U13）SDRAM 存储器

K4S643232C（U13）同步动态存储器，主要用于存储由 JAGUAR-SDRAM（U11B）输出/输入的 64bit 数据中的 SD32～SD63 和 11 位地址（A0～A10）选择输入，如图 4-16 所示。其主要引脚使用功能是：

㉕脚（A0），输入 TSA0 地址选择信号，由 U11B 的 V23 脚输出。

㉖脚（A1），输入 TSA1 地址选择信号，由 U11B 的 V24 脚输出。

㉗脚（A2），输入 TSA2 地址选择信号，由 U11B 的 V25 脚输出。

㊵脚（A3），输入 TSA3 地址选择信号，由 U11B 的 V26 脚输出。

㊶脚（A4），输入 TSA4 地址选择信号，由 U11B 的 U23 脚输出。

㊷脚（A5），输入 TSA5 地址选择信号，由 U11B 的 U24 脚输出。

㊸脚（A6），输入 TSA6 地址选择信号，由 U11B 的 U25 脚输出。

㊹脚（A7），输入 TSA7 地址选择信号，由 U11B 的 U26 脚输出。

㊺脚（A8），输入 TSA8 地址选择信号，由 U11B 的 U27 脚输出。

㊻脚（A9），输入 TSA9 地址选择信号，由 U11B 的 N24 脚输出。

㉔脚（A10/AP），输入 TSA10 地址选择信号，由 U11B 的 N25 脚输出。

㉒脚（BA0），SDRAM 区域选择信号输入，由 U11B 的 M24 脚控制输出。

㉓脚（BA1），SDRAM 区域选择信号输入，由 U11B 的 M26、R24 脚控制输出。

⑳脚（$\overline{CS}$），片选脉冲输入。由 U11B 的 M26 脚控制输出。

⑰脚（CKE），时钟电源，由 U11B 的 R24 脚控制。

⑱脚（CLK），时钟输入，由 U11B 的 R23 脚输出。

图 4-16　K4S643232C（U13）SDRAM 存储器电路（a）

⑲脚（$\overline{RAS}$），行地址选通控制信号输入，由 U11B 的 P24 脚输出。

⑱脚（$\overline{CAS}$），列地址选通控制信号输入，由 U11B 的 T26 脚输出。

⑰脚（$\overline{WE}$），写控制信号输入，由 U11B 的 R25 脚输出。

⑯㉑㉘㊾脚（DQM0～DQM3），数据输出屏蔽，由 U11B 的 M23 脚控制。

⑥⑫㉜㊳㊻㊷㊽㊹脚（VSSQ），接地。

㊹㊽㉒㊻脚（VSS），接地。

②④⑤⑦⑧⑩⑪⑬㉔㉖㉗㉙㉚㉜㉝㉟㉛㉝㉞㊱㊲㊴㊵㊷㊺㊼㊽㊿㊺㊸㊹㊻脚（DQ0～DQ31），输入 64bit 数据中的后半部分数据 SD32～SD63，由 U11B 输出/输入。

③⑨㉟㊶㊾㊺㉕㊶脚（VCCQ），+3.3V 电源。

①⑮㉙㊸脚（VCC），+3.3V 电源。

图 4-16　K4S643232C（U13）SDRAM 存储器电路（b）

16. Sil161/TMDS 数字解码输出电路

Sil161 是一种为数字显示设备提供数字视频交互技术（DVI）的专用解码芯片，其应用电路如图 4-17 所示。在数字显示技术中，由于显卡处理的都是数字信息，因此在将帧缓存数据传给显示器之前，必须先经数据转换器（D/A）把数字信号转换成模拟信号，但在转换过程中会产生信号失真，如果使用数字显示设备，又要将模拟信号，再转换成数字信号，这样就会更加失真。因此，在使用数字显示设备时，就必须是数字对数字直接传送。Sil161 就主要是为数字显示设备提供数字信号。其主要特点有：

（1）带宽范围在 25～162MHz。

（2）内核工作电压为 3.3V。

（3）采用差分输出，可减少信号干扰。

（4）具有热插拔同步检测功能。

（5）最大工作电流 280MA。

（6）具有交错定时数据输出。

（7）内置行同步信号稳定电路。

（8）内置时钟检测电路。

图 4-17 Sil161 数字解码电路（a）

（9）采用低功耗待机模式。

（10）电缆或光纤连接长度可越过5m。

（11）内部主要功能电路有数据恢复 CH0/CH1/CH2 电路；同步处理单元；解码芯片；面板接口逻辑单元；锁相环及终止控制电路等。

U28（Sil161）主要引脚使用功能是：

①脚（HS_DJTR），行同步信号稳定功能。

②脚（PD），待机模式低电平时代表 Power-Down 模式有效，高电平时表示正常操作。

③脚（ST），驱动信号输入，用于面板接口逻辑电路。

④脚（PIXS），选择信号输入，用于面板接口逻辑电路。

⑤脚（GND），接地。

⑥脚（CVCC），+3.3V 电源。

⑦脚（STAG_OUT），奇偶交错输出控制。

⑧脚（SCDT），同步检测输出。

⑨脚（PDO），输出驱动模式。

⑩脚（QE0），输出偶数据据蓝基色 8bit 数字信号 PAB0，经 RP3。排阻 8～1 脚缓冲后送入 U11A（JAGUAR-DIGITAL）的 P1 脚。

⑪脚（QE1），输出偶数据蓝基色 8bit 数字信号 PAB1，经 RP30 排阻 7～2 脚缓冲后送入 U11A 的 P2 脚。

⑫脚（QE2），输出偶数据据蓝基色 8bit 数字信号 PAB2，经 RP30 排阻 6～3 脚缓冲后送入 U11A 的 N2 脚。

图 4-17　Sil161 数字解码电路（b）

⑬脚（QE3），输出偶数据蓝基色 8bit 数字信号 PAB3，经 RP30 排阻 5～4 脚缓冲后送入 U11A 的 N3 脚。

⑭脚（QE4），输出偶数据蓝基色 8bit 数字信号 PAB4 ，经 RP31 排阻 4～5 脚缓冲后送入 U11A 的 M1 脚。

⑮脚（QE5），输出偶数据蓝基色 8bit 数字信号 PAB5，经 RP31 排阻 3～6 脚缓冲后送入 U11A 的 M2 脚。

⑯脚（QE6），输出偶数据蓝基色 8bit 数字信号 PAB6，经 RP31 排阻 2～7 阻缓冲后送入 U11A 的 M3 脚。

⑰脚（QE7），输出偶数据蓝基色 8bit 数字信号 PAB7，经 QRP31 排阻 1～8 脚缓冲后送入 U11A 的 M4 脚。

⑱脚（OVCC），+3.3V 电源。

⑲脚（OGND），接地。

⑳脚（QE8），输出偶数据绿基色 8bit 数字信号 PAG0，经 RP32 排阻 4～5 脚送入 U11A 的 L1 脚。

㉑脚（QE9），输出偶数据绿基色 8bit 数字信号 PAG1，经 RP32 排阻 3～6 脚送入 U11A 的 L2 脚。

㉒脚（QE10），输出偶数据绿基色 8bit 数字信号 PAG2，经 RP32 排阻 2～7 脚送入 U11A 的 L3 脚。

㉓脚（QE11），输出偶数据绿基色 8bit 数字信号 PAG3，经 RP32 排阻 1～8 脚送入 U11A 的 L4 脚。

㉔脚（QE12），输出偶数据绿基色 8bit 数字信号 PAG4，经 RP33 排阻 4～5 脚送入 U11A 的 K2 脚。

㉕脚（QE13），输出偶数据绿基色 8bit 数字信号 PAG5，经 RP33 排阻 3～6 脚送入 U11A 的 K3 脚。

㉖脚（QE14），输出偶数据绿基色 8bit 数据信号 PAG6，经 RP33 排阻 2～7 脚送入 U11A 的 K4 脚。

㉗脚（QE15），输出偶数据绿基色 8bit 数据信号 PAG7，经 RP33 排阻 1～8 脚送入 U11A 的 J1 脚。

㉘脚（OGND），接地。

㉙脚（OVCC），+3.3V 电源。

㉚脚（QE16），输出偶数据红基色 8bit 数据信号 PAR0，经 RP34 排阻 4～5 脚送入 U11A 的 J2 脚。

㉛脚（QE17），输出偶数据红基色 8bit 数据信号 PAR1，经 RP34 排阻 3～6 脚，送入 U11A 的 J3 脚。

㉜脚（QE18），输出偶数据红基色 8bit 数据信号 PAR2，经 RP34 排阻 2～7 脚送入 U11A 的 J4 脚。

㉝脚（QE19），输出偶数据红基色 8bit 数据信号 PAR3，经 RP34 排阻 1～8 脚送入 U11A 的 H1 脚。

㉞脚（QE20），输出偶数据红基色 8bit 数据信号 PAR4，经 RP35 排阻 4～5 脚送入 U11A 的 H2 脚。

㉟脚（QE21），输出偶数据红基色 8bit 数据信号 PAR5，经 RP35 排阻 3～6 脚送入 U11A 的 H3 脚。

㊱脚（QE22），输出偶数据红基色 8bit 数据信号 PAR6，经 RP35 排阻 2～7 脚送入 U11A 的 G1 脚。

㊲脚（QE23），输出偶数据红基色 8bit 数据信号 PAR7，经 RP35 排阻 1～8 脚送入 U11A 的 G2 脚。

㊳脚（CVCC），3.3V 电源，3.3V 电源由+5V 稳压电源提供如图 4-18 所示，而+5V 电源又从 12V 低压

5V DIGITAL POWER

U25（LM2596-5）为具有开关功能的+5V 稳压电路，其中：

①脚输入+12V 电源。

②脚稳压输出+5V 电压。

③脚接地。

④脚反馈输入。

⑤脚开关控制，外接 Q6 为开关控制管。

⑥脚接地。

图 4-18 +5V 稳压电源（a）

电源管理电路中获得，参见后面的图4-20。

㊴脚（GND），接地。

㊵脚（CTL1），通用输出控制信号1，未用。

㊶脚（CTL2），通用输出控制信号2，未用。

㊷脚（CTL3），通用输出控制信号3，未用。

㊸脚（OVCC），3.3V电源。

㊹脚（ODCK），输出数据时钟，送入U11A（JAGUAR-DIGITAL）的G4脚。

㊺脚（OGND），接地。

㊻脚（DE），数据输出允许控制，其控制信号送入U11A的F1脚。

㊼脚（VSYNC），场同步输入控制信号，送入U11A的G3脚。

㊽脚（HSYNC），行同步输入控制信号，送入U11A的F2脚

㊾脚（QO0），输出整数据0，未用。

㊿脚（QO1），输出整数据1，未用。

(51)脚（QO2），输出整数据2，未用。

(52)脚（QO3），输出整数据3，未用。

(53)脚（QO4），输出整数据4，未用。

(54)脚（QO5），输出整数据5，未用。

(55)脚（QO6），输出整数据6，未用。

(56)脚（QO7），输出整数据7，未用。

(57)脚（OVCC），+3.3V电源。

(58)脚（OGND），接地。

(59)脚（QO8），输出奇数据8，未用。

(60)脚（QO9），输出奇数据9，未用。

图4-18 +5V稳压电源（b）

(61)脚（QO10），输出奇数据10，未用。

(62)脚（QO11），输出奇数据11，未用。

(63)脚（QO12），输出奇数据12，未用。

(64)脚（QO13），输出奇数据13，未用。

(65)脚（QO14），输出奇数据14，未用。

(66)脚（QO15），输出奇数据15，未用。

(67)脚（CVCC），+3.3V电源。

(68)脚（GND），接地。

(69)脚（QO16），输出奇数

据 16，未用。

⑦⓪脚（QO17），输出奇数据 17，未用。

⑦①脚（QO18），输出奇数据 18，未用。

⑦②脚（QO19），输出奇数据 19，未用。

⑦③脚（QO20），输出奇数据 20，未用。

⑦④脚（QO21），输出奇数据 21，未用。

⑦⑤脚（QO22），输出奇数据 22，未用。

⑦⑥脚（OGND），接地。

⑦⑦脚（QO23），输出奇数据 23，未用。

⑦⑧脚（OVCC），+3.3V 电源。

⑦⑨脚（AGND），模拟电路接地。

⑧⓪脚（RX2+），模拟 TMDS 低电压差动信号正极性输入数据对 2。

⑧①脚（RX2–），模拟 TMDS 低电压差动信号负极性输入数据对 2，如图 4-19 所示。

用于 DVI 数字视频交互处理，其中：

⑥⑦脚为串行总线，与 U29（X24CO4）存储器⑤⑥脚直通。用于读取或存入视频信息。

②①脚输出 TMDS 低电压差动信号数据对 2，并送入 U28（Sil161）的⑧⓪⑧①脚。

⑩⑨脚输出 TMDS 低电压差动信号数据对 1，并送入 U28（Sil161）的⑧⑤⑧⑥脚。

⑱⑰脚输出 TMDS 低电压差动信号数据 0，并送入 U28（Sil161）的⑨⓪⑨①脚。

㉓㉔脚输出 TMDS 低电压差动信号时钟对，并送入 U28（Sil161）的⑨③⑨④脚。

图 4-19　数字视频交互处理电路

㉜脚（AVCC），模拟电路3.3V供电。

㉝脚（AGND），模拟电路接地。

㉞脚（AVCC），+3.3V电源，用于模拟电路供电。

㉟脚（RX1+），模拟TMDS低电压差动信号正极性输入数据对1。

㊱脚（RX1–），模拟TMDS低电压差动信号负极性输入数据对1。

⑧⑦脚（AGND），模拟电路接地。

⑧⑧脚（AVCC），3.3V 电源，用于模拟电路供电。

⑧⑨脚（AGND），模拟电路接地。

⑨⓪脚（RX0+），模拟 TMDS 低电压差动信号正极性输入数据对 0。

⑨①脚（RX0–），模拟 TMDS 低电压差动信号负极性输入数据对 0。

⑨②脚（AGND），模拟电路接地。

⑨③脚（RXC+），模拟 TMDS 低电压差动信号正极性时钟对。

⑨④脚（RXC–），模拟 TMDS 低电压差动信号负极性时钟对。

⑨⑤脚（AVCC），+3.3V 电源。

⑨⑥脚（EXT_RES），模拟电路阻抗匹配控制。

⑨⑦脚（PVCC），+3.3V 电源，主锁相环模拟电路供电。

⑨⑧脚（PGND），主锁相环模拟电路接地。

⑨⑨脚（RESERVED），保留内存，正常操作时必须为高电平。外接 R172（4.7kΩ）为上拉电阻。

⑩⓪脚（OCK_INV），ODCK 极性输入。

继电器开关，用于控制输出+12V 电压。当 CN2①脚输出高电平时，继电器触点开关闭合，其 4 脚有+12V 直流电压输出；当 CN①脚输出低电平时，继电器触点开关断开，4 脚无 12V 输出，整机处于等待状态。

低压电源管理电路如图 4-20 所示。

图 4-20　低压电源管理电路（a）

图 4-20 低压电源管理电路（b）

17. RP16～RP26 排阻电路

RP16～RP26 排阻电路主要用于输出由 U11C（JAGUAR-PANEL）输出的 48bit 数据信号，并送入显示板引脚电路，如图 4-21 所示。其中：

图 4-21　RP16～RP26 排阻电路（a）

RP17（100Ω×4），输入 P0～P3 信号，输出 FP0～P3，并送入 P4 的㉛㉚㉙㉘脚。

RP19（100Ω×4），输入 P4～P7 信号，输出 FP4～FP7 信号，并送入 P4 的㉖㉕㉔㉓脚。

RP21（100Ω×4），输入 P8～P11 信号，输出 FP8～FP11 信号，并送入 P4 的㉑⑳⑲⑱脚。

RP23（100Ω×4），输入 P12～P15 信号，输出 FP12～FP15 信号，并送入 P4 的⑯⑮⑭⑬脚。

RP25（100Ω×4），输入 P16～ P19 信号，输出 FP16～FP19 信号，并送入 P4 的⑫⑪⑨⑧脚。

RP27（100Ω×4），输入 P20～P23 输出 FP20～FP23，并送入 P4 的⑥⑤④③脚，P4、P5 引脚如图 4-21 所示。

RP16（100Ω×4），输入 P24～P27 输出 FP24～FP27，并送入 P5 的㉛㉚㉘㉙脚。

图 4-21　RP16～RP26 排阻电路（b）

RP18（100Ω×4），输入 P28～P31 信号，输出 FP28～FP31 信号，并送入 P5 的㉖㉔㉓㉕脚。

RP20（100Ω×4），输入 P32～P35 信号，输出 FP32～FP35 信号，并送入 P5 的㉑⑳⑲⑱脚。

RP22（100Ω×4），输入 P36～P39 信号，输出 FP36～FP39，并送入 P5 的⑯⑮⑭⑬脚。

RP24（100Ω×4），输入 P40～P43 信号，输出 FP40～FP43，并送入 P5 的⑪⑩⑨⑧脚。

RP26（100Ω×4），输入 P44～P47 信号，输出 FP44～FP47，并送入 P5 的⑥⑤④③脚。

18. BACKLIGHT 背光灯供电源控制电路

在该机中，背光灯供电源控制电路如图 4-22 所示。

Q3（DTC144EKA）为内置偏置电阻的开关三极管，主要用于 BRT 控制，其基极受控于 U11C（JAGUAR-PANEL）的 B1 端。当 U11C 的 B1 端输出高电平时，Q3 导通，Q7 截止。

Q7 为+5V 开关，在 Q3 截止时呈导通状态，使 Q7 的③脚呈高电平，BRT 输入有效。

Q5（DTC144EKA）为内置偏置电阻的开关三极管，主要用于背光灯开关控制。其基极受控于 U11C 的 AF22 端。当 AF22 端输出高电平时，Q5 导通，P7 的⑤脚呈低电平。此时为 OFF 状态。

图 4-22　背光灯供电源控制电路（a）

LCD 控制信号输入线路，其中：

PSHFCLK，为时钟信号，由 U11C（JAGUAR-PANEL）的 AC13 端输出，送入 P4 的㉚脚。

PHSYNC，为行同步信号，由 U11C 的 AF21 脚输出，送入 P4 的㉞脚。

PVSYNC，为场同步信号，由 U11C 的 AC21 脚输出，送入 P4 的㉝脚。

PDE，由 U11C 的 AF20 脚输出，送入 P4 的㉟脚。

P7 接口，用于背光灯供电输入。其中：

①脚为+15V 电源。

②脚接地。

③脚 BRT 控制。

④脚未用。

⑤脚 ON/OFF 开关控制。

⑥脚，接地。

⑦脚，+15V 电源。

Q4（DTC144EKA）为内置偏置电阻的开关三极管，主要用于 PENVDD 输出控制，其基极受控于 U11C 的 AD21 脚。当 AD21 脚输出高电平时，Q4 导通。PENVDD 无输出。

U14A（Si9953DY）为双极性场效应晶体管，主要用于输出 VDDSAFE 工作电压。其②脚栅极（G）受控于 Q4 的集电极。Q4 导通时，U14A 无输出。Q4 截止时，U14A⑧⑦脚输出 VDDSAFE 工作电压。

图 4-22　背光灯供电源控制电路（b）

19. SN75LVDS83 液晶屏驱动电路

U13-1（SN75LVDS83）主要用于转换输出 FP0～FP23 数据信号，如图 4-23、图 4-24 所示。其中：

①脚（VCC）、3.3V 电源。

②脚（D5），输入 FP22 数据信号。

③脚（D6），输入 FP16 数据信号。

④脚（D7），输入 FP13 数据信号。

⑤脚（GND），接地。

⑥脚（D8），输入 FP12 数据信号。

⑦脚（D9），输入 FP11 数据信号。

⑧脚（D10），输入 FP15 数据信号。

⑨脚（VCC），3.3V 电源。

⑩脚（D11），输入 FP14 数据信号。

⑪脚（D12），输入 FP10 数据信号。

⑫脚（D13），输入 FP9 数据信号。

⑬脚（GND），接地。

⑭脚（D14），输入 FP8 数据信号。

⑮脚（D15），输入 FP5 数据信号。

⑯脚（D16），输入 FP7 数据信号。

⑰脚（CLKSEL），时钟选择，外接 3.3V 偏置电路。

⑱脚（D17），输入 FP6 数据信号。

⑲脚（D18），输入 FP4 数据信号。

图 4-23　SN75LVDS83 液晶屏驱动电路（U13-1）（a）

⑳脚（D19），输入 FP3 数据信号。

㉑脚（GND），接地。

㉒脚（D20），输入 FP2 数据信号。

㉓脚（D21），输入 FP1 数据信号。

㉔脚（D22），输入 FP0 数据信号。

㉕脚（D23），输入 PENVDD 控制信号。

㉖脚（VCC），+3.3V 电源。

㉗脚（D24），输入 PHSYNC 行同步信号。

㉘脚（D25），输入 PVSYNC 场同步信号。

㉙脚（GND），接地。

㉚脚（D26），输入 PDE 控制信号。

图 4-23　SN75LVDS83 液晶屏驱动电路（U13-1）（b）

㉛脚（CLKIN），时钟信号输入。

㉜脚（/SHTDN），输入 PENVDD。

㉝脚（PLLGND），锁相环接地。

㉞脚（PLLVCC），锁相环供电。

㉟脚（PLLGND），锁相环接地。

㊱脚（LVDSGND），接地。

㊲脚（Y3P），输出 RXO3+-1 信号。

㊳脚（Y3M），输出 RXO3--1 信号。

㊴脚（CLKOUTP），输出 RXOC+-1 时钟信号。

㊵脚（CLKOUTM），输出 RXOC--1 时钟信号。

㊶脚（Y2P），输出 RXO2+-1 信号。

㊷脚（Y2M），输出 RXO2--1 信号。

㊸脚（LVDSGND），接地。

㊹脚（LVDSVCC），LVDSCC 供电。

㊺脚（Y1P），输出 RXO1+-1 信号。

㊻脚（Y1M），输出 RXO1--1 信号。

㊼脚（Y0P），输出 RXO0+-1 信号。

㊽脚（Y0M），输出 RXO0--1 信号。

㊾脚（LVDSGND），接地。

㊿脚（D27），输入 FP23 数据信号。

(51)脚（D0），输入 FP21 数据信号。

(52)脚（D1），输入 FP20 数据信号。

(53)脚（GND），接地。

(54)脚（D2），输入 FP19 数据信号。

(55)脚（D3），输入 FP18 数据信号。

(56)脚（D4），输入 FP17 数据信号。

U15（SN75LVDS83）引脚使用功能（主要用于转换输出 FP24～FP47 数据信号）：

①脚（VCC），3.3V 电源。

②脚（D5），输入 FP40 数据信号。

③脚（D6），输入 FP42 数据信号。

④脚（D7），输入 FP39 数据信号。

⑤脚（GND），接地。

⑥脚（D8），输入 FP38 数据信号。

⑦脚（D9），输入 FP37 数据信号。

⑧脚（D10），输入 FP33 数据信号。

⑨脚（VCC），+3.3V 电源。

⑩脚（D11），输入 FP32 数据信号。

图 4-24　SN75LVDS83 液晶屏驱动电路（U15）（a）

(11)脚（D12），输入 FP36 数据信号。

(12)脚（D13），输入 FP35 数据信号。

(13)脚（GND），接地。

(14)脚（D14）输入 FP34 数据信号。

(15)脚（D15），输入 FP31 数据信号。

(16)脚（D16），输入 FP25 数据信号。

(17)脚（CLKSEL），时钟选择。

⑱脚（D17），输入FP24数据信号。

⑲脚（D18），输入FP30数据信号。

⑳脚（D19），输入FP29数据信号。

㉑脚（GND），接地。

㉒脚（D20），输入FP28数据信号。

㉓脚（D21），输入FP27数据信号。

图4-24 SN75LVDS83液晶屏驱动电路（U15）（b）

㉔脚（D22），输入FP26数据信号。

㉕脚（D23），输入PENVDD控制信号。

㉖脚（VCC），+3.3V电源。

㉗脚（D24），输入PHSYNC行同步信号。

㉘脚（D25），输入PVSYNC场同步信号。

㉙脚（GND），接地。

㉚脚（D26），输入PENAB控制信号。

㉛脚（CLKIN），时钟信号输入。

㉜脚（/SHTDN），输入TEN-VDD。

㉝脚（PLLGND），接地。

㉞脚（PLLVCC），PLL电源。

㉟脚（PLLGND），接地。

㊱脚（LVDSGND），接地。

㊲脚（Y3P），输出RXO3+信号。

㊳脚（Y3M），输RXO3–信号。

㊴脚（CLKOUTP），输出RXOC+时钟信号。

㊵脚（CLKOUTM），输出RXOC–时钟信号。

㊶脚（Y2P），输出RXO2+信号。

㊷脚（Y2M），输出RXO2–信号。

㊿脚（D0），输入FP47数据信号。

(52)脚（D1），输入FP46数据信号。

(53)脚（GND），接地。

(54)脚（D2），输入FP45数据信号。

(55)脚（D3），输入FP44数据信号。

(56)脚（D4），输入FP43数据信号。

20. LCD 引脚电路

CN1 为 15、17 时 LCD 引脚电路，如图 4-25 所示。其中，⑮⑯脚输入 RXO0 信号；⑫⑬脚输入 RXO1 信号；⑨⑩脚输入 RXO2 信号；⑥⑦脚输入 RXOC 信号；③④脚输入 RXO3 信号。

图 4-25　LCD 引脚电路

CN14 为 30 时 LCD 引脚电路。其中，⑰⑱脚输入 RXO0 信号；⑮⑯脚输入 RXO1 信号；⑬⑭脚输入 RXO2 信号；⑪⑫脚输入 RXOC 信号；⑨⑩脚输入 RXO3 信号。

第 5 章　解读康佳 PDP4618 型（PW181 机芯）等离子彩色电视机整机线路图

康佳 PDP4618 等离子彩色电视机，是康佳集团生产的高端平板系列产品之一，具有一定的代表性。其整机机芯电路技术，主要采用了 11 只集成电路，其中有：

N151 TDA9885T 中放、解调电路。

N230 MSP3463G 多制式音频处理电路。

N201 TDA2616 伴音功放电路。

N340 VPC3230D 主画面视频数字解码电路。

N385 VDC3230D 副画面视频数字解码电路。

D401 PW1232 数字扫描格式变换电路。

D490 MT48LC4M16A2 快闪帧存储器。

D501 PW181 图像像素处理（内含 CPU 控制系统）电路。

N301 MST3788 0×9C A/D 变换电路。

D570 LVDS 低压差分信号传送电路。

N600/N601 LM239D 按键口电路。

其中部分 TV 接收、中频处理电路见附图 4。

1. TV 接收电路及预中频放大器

在 PDP 等离子平板电视机中，TV 接收电路，与 CRT 彩色电视机中的 TV 接收电路基本相同，都是通过高频调谐器电路将电视信号接收，然后再经频率选择，放大、混频后，变为频率为 38MHz 的图像中频信号和 31.5MHz 的伴音中频信号。

但在康佳 PDP4618 型等离子彩电中，高频调谐器采用了数字式频率合成技术，它是在 CPU 的节目预约程序控制下，通过 I²C 总线系统，对接收频段进行切换和节目搜索，并通过可变分频器和基准振荡器及鉴相器等组成的锁相环路锁定每一个频道的接收节目。最后从 IF 端口输出 VIF（38MHz）和 SIF（31.5MHz）中频载波信号。TV 接收及预中频放大电路如图 5-1 所示。

图 5-1　TV 接收及预中频放大电路（a）

V152（BC847）、V173（BC847-NS）用于伴音中频制式切换控制，以选择 PAL-D 制 31.5MHz 伴音载频（SIF 中频 6.5MHz）和 NTSC-M 制 33.5MHz 伴音载波（SIF 中频 4.5MHz），并受控于 N151（TDA9885 个）㉒脚。

小知识：等离子电视机

等离子电视机是近年来出现的一种高端平板电视机，它是在密闭的两片薄玻璃板之间充入惰性气体，并在其内部施加电压以产生等离子体，然后使其放电，作用在基板中的荧光粉上，使荧光粉发光，产生彩色图像。

小知识：等离子

在近代物理的电离学说中指出，电解质的导电性，是在一定条件下电离生成自由离子的结果，其中离子可以由一个原子形成，也可以由几个原子形成，每一种电解质都能电离生成带正电荷的阳离子和带负电荷的阴离子，而阳离子所带的正电荷和阴离子所带的负电荷的总和相等。

V159（C388A）为预中频放大管，它与 L161、C159、R159、R160、C160、R157 等组成预中频放大电路，主要用于补偿后级声表面波滤波器的插入损耗和实现高频调谐器与声表面波滤波器之间的阻抗匹配，以消除因反射波造成的图像重影和因回波损耗出现的噪声，进而使声表面波滤波器适应不同中频曲线的高频调谐器，提高图像、伴音接收灵敏度。

图 5-1 TV 接收及预中频放大电路（b）

2. TDA9885T 中频处理电路及声表面波滤波器

TDA9885T 是具有独立处理图像中频信号 VIF 和伴音中频信号 SIF 的中频处理集成电路，其主要特点是具有 4.0000MHz 基准时钟频率，内置可控增益的宽频带图像中频放大器和免调线性 FM-FLL 解调器，可以用有效的载波再生实现同步解调，并且有锁相环控制功能，有很宽的锁相带宽，自动增益控制 AGC 可通过同步检波控制，所有的引脚都有静电保护电路，准分离伴音基准信号的伴音中频输入，用交流耦合限幅器对第二伴音中频进行处理，可适用 38.9MHz，45.75MHz 和 58.75MHz 的中频信号。其应用电路如图 5-2 所示。

Z152（K9450M）为 31.5MHz 带通特性的声表面波滤波器，主要用于选通 31.5MHz 附近的伴音信号，对 31.5MHz 伴音中频 SIF 的滤波特性具有较强的带外抑制能力。其选通信号从④⑤脚输出，并直接送入 N151 的㉓ ㉔脚。

Z153（K6274D）为 38MHz 带通特性的声表面波滤波器，主要用于选通 38MHz 图像中频 VIF 信号，具有较平坦的群延时特性，并对 31.5MHz 伴音中频信号有较强的衰减能力，其较宽的幅度、频率特性可以提高图像水平清晰度，减小图像信号的包络失真，防止伴音干扰图像。

图 5-2　TDA9885T 中频处理电路（a）

N151（TDA9885T）的引脚使用功能：

①脚（VIF1），图像中频信号差分输入 1，有信号电压约为 3.3V。

②脚（VIF2），图像中频信号差分输入 2，有信号电压约为 3.3V。

③脚（OP1）中频制式选择控制输出 1。

④脚（FMPLL）调频解调锁相环滤波器，外接 C174、R177、C175，组成双时间常数滤波电路。用于锁相环滤波。该电路故障时，TV 伴音失真或音轻，有噪声或无伴音。

图 5-2　TDA9885T 中频处理电路（b）

⑤脚（DEEM），外接去耦合电容，内接 FM 锁相环解调器。

⑥脚（AFD），音频滤波。

⑦脚（DGND），接地。

⑧脚（AUD），未用。

⑨脚（TOP），未用。

⑩脚（SDA）I^2C 总线数据线。

⑪脚（SCL），I^2C 总线时钟线。

⑫脚（SIOMAD）SIF-MAIN 主伴音信号输出，并送入 N230（MSP3463G）的㊿脚。

⑬脚（NC），未用。

⑭脚（TAGC），延迟高放 AGC 输出，其输出的 AGC 信号加到高频调谐器（N150）的①脚。

⑮脚（REF），基准时钟，外接 Z151（4.000MHz）晶体振荡器。

⑯脚（NC（VC）），外接 0.47μF 滤波电容。

⑰脚（CVBS），视频信号输出。

⑱脚（AGND），接地。

⑲脚（VPLL），VIF 锁相环滤波器，外接 C184、C185、R185 组成滤波电路。

⑳脚（VP），+5V 电源。

㉒脚（OP2），中频制式选择控制输出 2。

㉓㉔脚（SIF1/2），伴音中频输入。

3. 耳机输出接口及静噪控制电路

耳机输出接口电路主要为外部耳机或 PC 提供高阻抗匹配信号。一般多为双路插口输出。耳机输出电路主要由 N288（TDA1308）及少量外围分立元件等组成，如图 5-3 所示。其引脚使用功能主要是：

①脚（LEFT），输出左声道耳机音频信号。

②脚（IN–），负极性输入，用于输入 ADCA-L 左声道耳机音频信号，由 N230（MSP3463G）的⑱脚输出。

③脚（IN+），正极性输入，输入+5V 偏置电压。

④脚（GND）接地。

⑤脚（IN+），正极性输入，输入+5V 偏置电压。

⑥脚（IN–），负极性输入，用于输入 ADCA-R 右声道耳机音频信号，由 N230（MSP3463G）的⑰脚输出。

⑦脚（RIGHT），输出右声道耳机音频信号。

⑧脚（W-AHD5V），输入+5V 电源。

N288（TDA1308）是一只内含两只比较器的放大输出电路，放大器的正极性端输入基准电压信号，负极性端输入音频电压信号，负极性电压高于正极性电压时放大器截止，无输出。

XS608（PC-AUDIO-OUT）为耳机音频信号输出插口，其引脚使用功能分别是：
①脚，接地。
②脚，用于 LEFT 左声道音频信号输出。
③脚，用于 RIGHT 右声道音频信号输出。
④脚，MUTEL 左声道静音控制。
⑤脚，接地。
⑦脚，MUTE-R 右声道静音控制，未用。
⑧脚，接地。

图 5-3　耳机输出接口电路（a）

V280（BC847）、V282（BC847）等组成静音控制电路，并受控于 PW181 的 Y15 脚，当 PW181 的 Y15 脚输出高电平时，V280 饱和导通，V282 截止，其集电极输出高电平，通过 XS201 插件⑥脚（MUTE-PA）送入伴音功放电路使 V201 导通，N201（TDA2616）②脚为低电平，此时伴音静噪，无输出。当 PW181 的 Y15 脚输出低电平时，V280 截止，V282 导通，其集电极输出低电平，通过 XS201⑥脚使 V201 截止，N201（TDA2616）②脚为高电平，伴音功率输出级电路正常输出。

V282 的基极，还受 V285 控制，在 XS608 耳机插口无插头插入时，V285 基极接地，不起作用，当插入耳机插头时，V285 基极呈高电平，故 V285 导通，使 V282 截止，伴音功放输出级电路静噪。

图 5-3　耳机输出接口电路（b）

4. MSP3463G 多制式音频处理系统

MSP3463G 是一种包含有丽音数字音频处理功能的多标准音频处理集成电路，其主要特点是可自动检测实际的音频标准，能够自动引导电压识别信号，只需要简单的 I^2C 传输即可对标准进行选择。MSP3463G 多制式音频处理系统如图 5-4 所示。

图 5-4　MSP3463G 多制式音频处理系统（a）

N230（MSP3463G）的主要引脚使用功能是：

①脚（SCL），I^2C 总线时钟线。

②脚（SDA），I^2C 总线数据线。

XS606B 用于左右声道音频信号输出，其中左声道音频信号由 N230（MSP3463G）的㉙脚输出，右声道音频信号由 N230 的㉘脚输出。

图 5-4　MSP3463G 多制式音频处理系统（b）

③～⑨脚，未用。

⑩脚（DV-SUP），+5V 电源，用于 MSP 数字电路供电。其电源输出接口电路如图 5-5 和图 5-6 所示。

⑪脚（DVSS），MSP 数字电路接地。

⑫～⑮脚，未用。

⑯脚（$\overline{\text{RESET}}$），复位输入，低电平时复位有效，高电平时 N230（MSP3463G）稳定工作。该脚外接 V231（BC847）、V230（BC847）等，组成复位电路，由 D501D（PW181）的 V17 脚控制。在刚开机时 D501D 的 V17 脚输出低电平，使 V23 截止，V231 导通，N230 ⑯脚低电平复位，当整机启动后，D501D（PW181）的 V17 脚输出高电平，使 V230 导通，V231 截止，V230 ⑯脚呈高电平，N230（MSP3463G）进入稳定工作状态。

⑰脚（DACA-R），右声道音频信号，主要是通过 N286 供给耳机输出插口 XS608。

图 5-5　低压电源输出接口电路

⑱脚（DACA-L），左声道音频信号，主要是通过 N286 供给耳机输出插口 XS608。

⑲脚（VREF2），用于扬声器及耳机的模拟连接参考点，通常是独立接地，不应受任何干扰的电源接地端。

⑳脚（DACM-R），主声道音频信号右通道输出，主要供给 N201（TDA2616）双音频功率放大器的⑨脚，如图 5-7 所示。

㉑脚（DACM-L），主声道音频信号左通道输出，主要供给 N201（TDA2616）双音频功率放大器的①脚。

㉒～㉖脚，未用。

㉗脚（VREF1），用于监听音频信号（SCART）输出端的模拟连接参考点。此脚必须独立接地，是一个不受任何干扰的电源接地端。

㉘脚（SC1-OUT-R），监听音频信号右声道输出，主要是通过 R259、C259 耦合送到 XS606B 插口。

㉙脚（SC1-OUT-L），监听音频信号左声道输出，主要是通过 R260、C260 耦合送到 XS606B 插口。

㉚脚（CAPL-A），耳机音量电容接口，此脚与模拟供电高压端（AHVSUP）之间必须接一个 10μF 电容，作为平滑滤波器，用于抑制耳机音量改变时产生的音频脉冲，该脚输入对磁感应比较敏感，故通常尽可能缩短电容引脚线的长度，为提高响应速度可适当降低电容的量值。

㉛脚（AHVSUP），模拟供电高压端，主要为 MSP 模拟电路部分供电。

㉜脚（CAPL-M）主扬声器音量电容接口，此脚与模拟供电高压端（AHVSUP）之间必须接一个 10μF 电容，作为平滑滤波器，用于抑制扬声器音量改变时产生的音频脉冲。

㉝脚（AHVSS），模拟供电高压部分电路接地端。

㉞脚（AGNDC），内部模拟参考电压。

㉟脚（SC4-IN-L），SCART4 输入端，主要用于输入 PC 的左声道音频信号。

㊱脚（SC4-IN-R），SCART4 输入端，主要用于输入 PC 的右声道音频信号。

㊲脚（ASG1），模拟地屏蔽，接模拟接地端，以减少 SCART 输入端的交扰耦合。

㊳脚（SC3-IN-L），SCART3 输入端，主要用于输入 HDTV 的左声道音频信号。

㊴脚（SC3-IN-R），SCAPT3 输入端，主要用于输入 HDTV 的右声道音频信号。

㊵脚（ASG2），模拟地屏蔽，接模拟地。

㊶脚（SC2-IN-L），SCART2 输入端，主要用于输入 YCbCr 隔行输入端左声道音频信号。

㊷脚（SC2-IN-R），SCART2 输入端，主要用于输入 YCbCr 隔行输入端右声道音频信号。

图 5-6　XS804/XS803 接口电路

㊸脚（ASG3），模拟地屏蔽，接模拟地。

㊹脚（SC1-IN-L），SCART2 输入端，主要用于输入 AV 视频端口的左声道音频信号。

㊺脚（SC1-IN-R），SCART2 输入端，主要用于输入 AV 视频端口的右声道音频信号。

㊻脚（VREFTOP），IF 中频模/数转换器参考电压。该脚与 AVSS 之间必须连接一个 10μF/1100nF 电路，并且要减小引线的长度。

㊼脚（MONO-IN），单声道输入端，主要用于模拟单声道音频信号输入。

㊽脚（AVSS），模拟供电电压接地。

㊾脚（AVSUP），+5V 电源用于模拟供电。

㊿脚（ANA-IN1+），中频输入 1，用于模拟伴音中频信号正极性输入，其输入信号必须由电容交流耦合，并送入 IC 内部的对称运算放大器的一个输入端（正极端）。

51脚（ANA-IN-），中频公共参考点，为 ANA-IN1/2 提供负极性输入。

52脚（ANA-IN2+），中频输入 2，用于模拟伴音中频信号正极性输入，其输入信号必须由电容交流耦合，并送入 IC 内部的对称运算放大器的一个输入端（正极端）。

TDA2616 双音频功率放大电路如图 5-7 所示。

图 5-7　TDA2616 双音频功率放大电路（a）

㊸脚（TESTEN），测试使能端，用于启动工厂测试模式，在正常收视时该脚接地。

㊹脚（XTAL-IN），压控晶体振荡输入端外接 18.432MHz 晶体。

㊻～㊶、㊹脚，接地。

N201（TDA2616）为双音频功率放大器，其中：

①脚输入左声道音频信号，主要由 N230（MSP3463G）的㉑脚提供。

②脚（MUTE），静噪控制，主要受 V201、V202 和 X3201 ⑥脚控制，低电平时静噪。

③脚（1/2Vp），一半电源。

④脚（OUT1），左声道音频功率输出。

⑤脚（–Vp），电源接地。

⑥脚（OUT2），右声道音频功率输出。

⑦脚（Vp），AA-V_{CC}（50V）电源。

⑧脚（INV1，2），一半电源。

⑨脚（–INV2），右声道音频信号输入，由 N230（MSP3463G）的⑳脚提供。

V203（BC847）、V214（BC847）等组成扬声器继电器开关控制电路，在正常工作时，V203 呈截止状态，V214 导通，K214 继电器开关吸合，XS205 和 XS206 左、右声道扬声器被接通，有声音放出，但在刚一开机或刚一关机时，V203 在 C208 充放电的作用下呈导通状态，使 V214 截止，K214 继电器线圈没有电流通过，故 XS205 和 XS206 被同时断开，扬声器无声，起到静噪作用。

图 5-7　TDA2616 双音频功率放大电路（b）

㊷ 脚（ADR-SEL），I^2C 总线地址选择，接地。

㊸脚（$\overline{STDBY}$），待机控制，但外接上拉电阻。

5．VPC3230D 主画面视频数字解码电路

VPC3230D 是一种具有梳状滤波功能的数字视频解码集成电路，如图 5-8 和图 5-9 所示，其主要功能特点有：

（1）内部集成有视频切换、Y/C 分离（4H 自适应梳状滤波器）、A/D 转换、数字解码、PIP 等功能。

（2）芯片功能强大，外围电路简单。

（3）有 4 路 AV 输入，其中一路带有 S 端子，两路 RGB/YPBPR 输入，一路 AV 输出。

（4）PIP 功能具有 4 种显示大小，15 种显示模式。

（5）视频解码输出支持 ITU-U601/656 数字输出接口。

N340（VPC3230D）的主要引脚使用功能：

① 脚（B1/CB1-IN），B1 或 CB1 模拟信号输入。

② 脚（G1/Y1-IN），G1 或 Y1 亮度模拟信与输入。

图 5-8　VPC3230D 主画面视频数字解码电路（a）

图 5-8　VPC3230D 主画面视频数字解码电路（b）

③脚（R1/CR1-IN），R1 或 CR1 模拟信号输入。

④脚（B2/CB2-IN），B2 或 CB2 模拟信号输入。

⑤脚（G2/Y2-IN），G2 或 Y2 亮度模拟信号输入。

⑥脚（R2/CR2-IN），R2 或 CR2 模拟信号输入。

⑦脚（ASG-F-1），模拟信号输入端电路接地。

⑧脚，未用。

⑨脚（VDDCAP），数字电路供电去耦电容。

⑩脚（VDD），数字供电电压，3.3V。

⑪脚（GND-D），数字供电路接地。

⑫脚（GNDCAP），数字供电去耦电容接地。

⑬脚（SCL），I^2C 总线时钟线。

⑭脚（SDA），I^2C 总线数据线。

⑮脚（RESETn），复位输入，低电平时复位有效。

⑯脚（TEST），测试端，接地。

⑰脚（VGAV），VGA 场同步信号输入，未用，接地

⑱脚（YCOEn），接地。

⑲～㉓脚，未用。

㉔脚（CLK20），未用（20MHz 时钟输出）。

㉕（GND-PA），模拟电路引脚接地。

㉖（VSUP-PA），模拟引脚供电。

㉗脚（LLC2），倍频时钟输出出，未用。

㉘脚（LLC1），时钟输出。

㉙脚（VDDPLLC），锁相环路供电。

㉚脚（GND-LLC），锁相环路接地。

㉛～㉞、㊲～㊵脚（Y7～Y0），

8bit 亮度数据信号输出。

㊶～㊹脚、㊼～㊿脚（C7～C0），8bit 色度信号输出。

(51)脚（GND-SYN），同步信号输入电路接地端。

(52)脚（VDDSP），同步信号电路供电。

(53)脚（INTLC），隔行输出，未用。

(54)脚（AVO），有效视频输出。

(55)脚（FSY/HC/HSYA），前端同步/水平钳位脉冲，未用。

(56)脚（MSY/HS），主同步/行同步脉冲输出。

(57)脚（VS），场同步脉冲输出。

(58)脚（FPDAT），前端/后端数据未用。

(59)脚（VSTDBY），待机供电电源。

(60)脚（CLK5），CPU5MHz 时钟输出，未用。

(61)脚，未用。

(62)脚（XTALI），时钟振荡输入，外接 20、25MHz 晶体振荡器。

(63)脚（XTALO），时钟振荡输出，外接 20、25MHz 晶体振荡器。

(64)脚（ASG-F-2），模拟区接地。

(65)脚（GND-F），模拟前端接地。

(66)脚（VRT），参考电压点。

(67)脚，未用。

(68)脚（ISGND），模拟输入信号电路接地。

(69)脚（VCCF），模拟前端电路供电，+5V。

(70)脚（VOUT），模拟视频信号输出。

(71)脚（CIN），S 端子的色度信号（C 输入）。

(72)脚（VIN1），外部 AV1 视频信号或 S 端子的 Y 亮度信号输入。

(73)脚（VIN2）外部 AV2 视频信号输入。

(74)脚（VIN3），TV 视频信号输入。

(75)脚（VIN4）外部视频信号输入，用于副画面（Y 信号输入）。

图 5-9　VPC3230D 副画面视频数字解码电路（a）

(76)脚（VCCAI），+5V 电源，用于模拟前端器件供电。

(77)脚（GND-AI），模拟前端器件接地。

(78)脚（VREF），参考点电压。

(79)脚（FBIN1），RGB 快速消隐信号输入。

㊵脚（AISGND），模拟元件接地端。

6. N385（VPC3230D）副画面视频数字解码电路

N385（VPC3230D）副画面视频数字解码电路如图 5-9 所示。其主要引脚使用功能：

图 5-9　VPC3230D 副画面视频数字解码电路（b）

①②③脚与㊽ ㊾脚相接，见主画面视频解码电路。

④脚（B2/CB2-IN），副 Cb 信号输入。

⑤脚（G2/Y2-IN），副 Y 信号输入。

⑥脚（R2/CR2-IN），副 Cr 信与输入。

⑦脚（ASG-F-1），接地。

⑨脚（VDDCAP），去耦。

⑩脚（VDD），+3.3V 电源。

⑪脚（GND-D），接地。

⑫脚（GNDCAP），去耦。

⑬脚（SCL），I^2C 总线的钟线。

⑭脚（SDA），I^2C 总线数据线。

⑮脚（RESETn）复位信号输入。

⑯脚（TEST），测试端。

⑰脚（VGAV），VGA 场同步信号，未用，接地。

⑱脚（YCOEn），接地。

⑲～㉓脚，未用。

㉛～㉞脚、㊲～㊵脚（Y7～Y0），8bit 亮度数字信号输出。

㊶～㊹脚、㊼～㊿脚（C7～C0），8bit 色度数字信号输出。

㉘脚（LLC1），时钟信号输出。

㊻脚（MSY/HS），行同步信号输出。

㊼脚（VS），场同步信号输出。

㊷ ㊸脚（XTALI/O），外接 20、25MHz 时钟振荡器。

㉑脚（CIN），S 端子色信号 C 输入。

㉒脚（VIN1），S 端子 Y 信号输入。

㉓脚（VIN2），AV 视频输入 2。

㉔脚（VIN3），TA 视频信号输入。

㉕脚（VIN4），副 Y 信号输入。

㉖脚（VCCAI），+5V 电源。

㉕ ㉘ ㉗ ㊵脚，接地。

7. PW1232 数字扫描格式变换电路

PW1232 数字扫描格式变换电路主要用于视频信号处理，如图 5-10 所示。其主要特点是：

（1）具有视频信号的去隔行扫描技术和倍（变）频扫描变换、电影模式识别以及还原，小角度直线消除锯齿处理、三维数字降噪滤波等功能。

（2）可通过四场或五场、三维（水平、重直、时间）跟踪方法计算场与场之间形成的运动矢量，以生成新的内插行信号，进而提供逐行扫描输出信号。

（3）可支持 VTSC、PAL 和 SECAM 制式，支持 3∶2 或 2∶2 电影模式检测。

（4）支持与家用计算机 SVGA、VGA 接口有关的扫描格式和图像分解力。

（5）可以支持 480P、576P、720P、1080i、800×600、1024×768 等图像扫描格式。

（6）可技持 8bit、10bit、16bit 或 4bit 的 4∶2∶2 或 4∶4∶4 模式的数字视频信号。

（7）可以完成 4∶3 与 16∶9 幅型比切换，并可实现图像静止、缩放等功能。

图 5-10　PW1232 数字扫描格式变换电路（a）

D401A（PW1232）的主要引脚使用功能：

㉜～㊾脚（VB0～VB7），视频 B（蓝）信号数据输入，但在该机中未用。

㉒脚（SVHS），行同步信号输入，未用。

㉓脚（SVVS），场同步信号输入，未用。

⑭脚（SVCLK），时钟信号输入，未用。

⑮～⑫脚（VG0～VG7），视频 G（绿）信号数据输入，但在该机中主要输入的是亮度（Y）数据。

⑤脚（PVCLK），主视频像素时钟输入。

⑥脚（CREF），输入时钟基准。

⑦脚（PVVS），主视频场同步信号输入。

⑧脚（PVHS），主视频行同步信号输入。

⑨～⑯脚（VR0～VR7），视频 R（红）信号数据输入，但在该机中主要输入的是 UV 色信号数据。

⑦～⑭脚、②～⑥脚（DR0～DR7），8bit（红）信号数据输出。

⑨～⑥脚（DG0～DG7），8bitG（绿）信号数据输出。

⑧～⑧脚（DB0～DB7），8bitB（蓝）信号数据输出。

图 5-10　PW1232 数字扫描格式变换电路（b）

⑥脚（DCLK），时钟输出信号。

⑦脚（DVS），显示场同步信号输出。

⑧脚（DHS），显示行同步信号输出。

㉑脚（ADR），端口红信号。

⑱脚（ADG），端口绿信号。

⑮脚（ADB），端口蓝信号。

㉖㉗脚（VREFIN/OUT），基准参考点。

㉔脚（RSET），复位。

㉕脚（COMP），梳状滤波器电路外接电容。

D401D（PW1232）引脚外围电路如图 5-11 所示，低压电源供电滤波电路如图 5-12 所示。其主要引脚使用功能：

图 5-11　PW1232 数字扫描格式变换电路 D401D

⑦⑦⑩⑬脚（VDD0～VDD3），数字电路工作电源，1.8V。

㉚㉜㉚㉚㉑㉖㉖脚（PVDD0～PVDD6）数据输入/输出电路工作电源，3.3V。

⑦⑤脚（DPDVDD），显示端 PLL 锁相环数字电压，1.8V。

⑦⑦脚（DPAVDD），显示端 PLL 模拟电压，1.8V。

㉔脚（MPAVDD），存储器 PLL 模拟电路供电端，1.8V。

⑩脚（ADDVDD），模拟显示端口数字工作电源，1.8V。

㉘脚（ADAVDD），模拟显示端口模拟工作电压，1.8V。

㉛脚（ADGVDD），模拟显示端口警铃电压，1.8V。

SW1.8V 电源由 N831（BA18BC0FP）从 SW3.3V 中稳压获得，主要分出 VD1.8V、AVDD11、AVDD21、AV41 等 4 路电压。待机时 1.8V 消失。

AVDD11（1.8V）主要供给 PW1232 集成电路的⑮⑰脚。待机时 AVDD11 电压消失。

VD1.8V 电压，主要供给 PW1232 集成电路的⑦⑭⑩⑬脚。待机时 VD1.8V 消失。

AVDD21 和 AV41 两组电压均由 SW1.8V 分出，前者主要供给 D401D（PW1232）的㉔脚，后者主要供给 D401D 的⑩㉘㉛脚。待机时 AVDD21 和 AV41 两组电压均消失。

SW3.3V 由电源管理电路 C833（FB-600-0HM-1.5A）电感输出，一方面通过 N831（BA18BCOFP）稳压生成 SW1.8V 电压，另一方面通过 L407（FB-470-OHM-200MA）电感作为 PVD33 供给 D401D（PW1232）的㉚㊷㊽㊿⑫⑯⑩脚。待机时 PVD33 电压消失。

图 5-12　低压电源供电滤波电路

⑯脚（AVD33B），B 信号通道模拟工作电源，3.3V。

⑲脚（AVD33G），G 信号通道模拟工作电源，3.3V。

㉒脚（AVD33R），R 信号通道模拟工作电源，3.3V。

⑬脚（AVD33SVM），SVM 通道模拟工作电压，3.3V。

⑭脚（AVS33SVM），SVM 通道模拟接地。

⑧⑪⑩⑭脚（VSS0～VSS3），数字电路接地。

①⑨㊸⑦⑨⑫⑰脚（PVSS0～PVSS6），数字输入/输出电路接地。

⑯脚（DPDVSS），显示 PLL 数字电压接地。

⑱脚（DPAVSS），显示 PLL 模拟电压接地。

⑫脚（MPAVSS），存储器 PLL 模拟电压接地。

⑪脚（ADDVSS），模拟显示端口数字电源接地。

㉙脚（ADAVSS），模拟显示端口模拟电源接地。

㉜脚（ADGVSS），模拟显示端口警铃电源接地。

⑰脚（AVS33B），B 信号通道模拟工作电源接地。

⑳脚（AVS33G），G 信号通道模拟工作电源接地。

㉓脚（AVS33R），R 信号通道模拟工作电源接地。

D401B（PW1232）引脚外围电路如图 5-13 所示。其主要引脚使用功能是：

图 5-13　PW1232 数字扫描格式变换电路 D401B

㊵㊳㊱㊴㊸㊲㊺㊻㊹㊶㊸㊷㊺㊻㊹脚（MA0～MA13），可编程总线地址输出，用于选择 SDRAM 的存储容量，其容量为 8MB 时，行地址总线用 MA（11～0）。列地址总线用 MA（7～0）。

㊼脚（MCLKFB），存储器时钟反馈输入。

㊶脚（MCLK），存储器时钟信号。

㊿脚（$\overline{\text{MWE}}$），存储器写允许控制，用于控制写操作和行预置。

㊾脚（$\overline{\text{MCAS}}$），列地址选通，该脚低电平时，列地址在 MCLK 的上升沿锁存。

㊽脚（$\overline{\text{MRAS}}$），行地址选通，该脚低电平时，行地址锁存在 MCLK 的正向沿。

㊾㊼㊺㊸㊶㊾㊼㊺㊹㊻㊽㊿㊷㊹㊻㊽脚（MD0～MD15），存储器 16bit 数据总线输入/输出。

D401C（PW1232）引脚外围电路如图 5-14 所示。其主要引脚使用功能是：

⑫脚（TDO），测试/调试端口，主要用于测试数据输出。

⑫脚（TCK），测试/调试端口，主要用于测试时钟输出。

⑫脚（TDI），测试/调试端口，主要用于测试数据输入。

⑩脚（TMS），测试/调试端口，主要用于模式选择。

⑬脚（$\overline{\text{TRST}}$），测试/调试端口，复位。

图 5-14　PW1232 数字扫描格式变换电路 D401C

⑲脚（I2CA1），PVD33V 电源。

⑳脚（I2CA2），接地。

㉕脚（SCL），I^2C 总线时钟线。

㉖脚（SDA），I^2C 总线数据线。

⑰脚（XTALI），时钟振荡输入，外接 10MHz 晶体。

⑱脚（XTALO），时钟振荡输出，外接 10MHz 晶体。

㉜脚（$\overline{\text{RESET}}$），复位。

⑬脚（DEN），使能端，低电平时，DCLK、DVS、DHS 输出有效，接地。

⑫脚（TESTCLK），未用。

㉟脚（TEST），测试端，接地。

⑭脚（CGMS），能使 CGMS 高电平有效。

㊶脚（MACRO），能使防复制高电平有效。

8. Flash-8M 程序存储器

Flash-8M 是一种具有擦除挂起和恢复功能的程序存储器，其外围电路如图 5-15 所示。其主要引脚使用功能是：

㉕～⑱脚、⑧～①脚、㊽⑰⑯脚（A0～A18），地址输入。

㉖脚（$\overline{\text{CE}}$），片选信号输入。

㉘脚（$\overline{\text{OE}}$），允许控制信号输入。

⑪脚（$\overline{\text{WE}}$），写允许控制信号输入。

⑫脚（$\overline{\text{RP}}$），输入 3.3V 电源。

⑭脚（NC4），未用。

⑰脚（$\overline{\text{BYTE}}$），输入 3.3V 电源。

⑨脚（NC1），未用。

⑩脚（NC2），未用。

⑬脚（NC3），未用。

㊲脚（VCC），+3.3V 电源。

图 5-15　Flash-8M 程序存储器电路（a）

⑮脚（R/B out），未用。

㉙㉛㉝㉟㊳㊵㊷㊹㉚㉜㉞㊱㊴㊶㊸㊺脚（D1～D16），16bit 数据总线输入/输出。

㊻脚（GND1），接地。

㊼脚（GND2），接地。

在 PDP 平板电视机中，程序存储器，主要用于支持子帧驱动，而子帧驱动则是 PDP 平板电视灰度等级控制中的重要措施。在 CRT 彩色电视中，彩色显像管的亮度调节是通过调节阴极电压来实现的，电压不同，电子束电流大小不同，全屏亮度不同，其调制特性可实现无级调整，且调制特性的线性较好，调制方便简单，最适于模拟电视信号激励。但在 PDP 平板显示器中，辉光放电电流大小就不好控制，它的调制特性只有“亮”与“不亮”两种状态。故对其亮度（灰度）调整，就只能是通过改变亮、暗时间的长短来实现，

就与用相机拍照时选择曝光量一样。在 PDP 平板显示器中，这种类似选择曝光量的基本方法，主要是采用了子帧驱动方式，它是将一帧图像的显示时间，不等间隔地分为若干个子帧时间，而子帧的时间数目则由程序存储器中基色信号量化精度的比特数决定。在每个子帧中又分为寻址期和维持期两个阶段，其中寻址期主要用于确定那些应该发光的像元点，维持期，主要是将全屏应该激活的像元点同时点亮，使不应激活的像元

图 5-15　Flash-8M 程序存储器电路（b）

点不发光。因此，这种以不同的点亮时间长短来实现图像灰度控制的核心技术，就主要是通过子帧驱动方式对像元点进行寻址与激活。

寻址与激活通常有以下几个步骤：

（1）全屏擦除，即通过对 X 扫描维持电极（驱动模块）施加熄灭电压 Vxg（180～200V）进行清零，使全屏所有像元点都停止放电。

（2）全屏激活，即通过对寻址电极 Ajk 和 X 扫描维持电极施加零电压，同时对 Y 扫描电极（驱动模块）施加 40～70V 点火电压，使全屏所有像元点被激活。此时 Y 扫描电极和 X 扫描极电之间，以及 Y 扫描电极与 Ajk 寻址电极之间都会发生放电，使各像元点形成壁电荷。

（3）全屏再擦除。此时，各电级电压与第（1）步相同，但由于熄灭电压 Vxg 仅引起 X 和 Y 电极放

电，并趋于熄灭，各像元点都留下壁电荷，而这些电荷在 Y 电极和 Ajk 电极之间形成相当强的电场。

（4）选择激活期，此时主要是从左至右分别给寻址电极 Ajk 施加幅度为 Va 的方波信号（而其他各极电压为零），以形成寻址脉冲，列选上下 n 个像元，同时各维持电极 Y 加有不同的维持电压。如果 Y 施加 0V 电压，则 Ajk 电极与 Y 电极交叉点的像元在当前的子帧内被点亮，并形成各不相同的电压波形。

在 D030（Flash-8M）程序存储器中，地址 A0～A18，在寻址期的步骤（4）执行输出，并由 D1～D16 输出不同的数据信号。

9. XS030（SOCKET30X2-NS）显示屏引脚插座线路

XS030（SOCKET30X2-NS）显示屏引脚插座线路主要用于数据寻址驱动，如图 5-16 所示，其主要引脚功能是：

①脚，输入 A2 地址，由 D030（Flash-8M）的㉕脚输出。

②脚，输入 A1 地址，由 D030 的㉔脚输出。

③脚，输入 A4 地址，由 D030 的㉒脚输出。

④脚，输入 A3 地址，由 D030 的㉓脚输出。

⑤脚，输入 A6 地址，由 D030 的⑳脚输出。

⑥脚，输入 A5 地址，由 D030 的㉑脚输出。

⑦脚，接地。

⑧脚，输入 A7 地址，由 D030 的⑲脚输出。

⑨脚，输入 A9 地址，由 D030 的⑱脚输出。

⑩脚，输入 A8 地址，由 D030 的⑧脚输出。

⑪脚，输入 A11 地址，由 D030 的⑥脚输出。

⑫脚，输入 A10 地址，由 D030 的⑦脚输出。

⑬脚，3.3V 电源。

⑭脚，IRPn，接上拉电阻。

⑮脚，输入 A12 地址，由 D030 的⑤脚输出。

⑯脚，ICEn，接 XS032（JMP2.54-T）的②脚。

⑰脚，输入 A14 地址，由 D030 的③脚输出。

⑱脚，输入 A13 地址，由 D030 的④脚输出。

⑲脚，+3.3V 电源。

⑳脚，输入 A15 地址，由 D030 的②脚输出。

㉑脚，输入 A17 地址，由 D030 的㊽脚输出。

图 5-16　显示屏引脚插座线路（a）

㉒脚，输入 A16 地址，由 D030 的①脚输出。

㉓脚，输入 A19 地址，由 D030 的⑯脚输出。

㉔脚，输入 A18 地址，由 D030 的⑰脚输出。

㉕脚，接地。

㉖脚，IA20，接上拉电阻。

㉗脚，接地。

㉘脚，IA21，接上拉电阻。

㉙脚，+3.3V 电源。

㉚脚，ROMWEn，写允许控制信号输入。

㉛脚，ROMOEn，允许控制信号输入。

㉜脚，未用。

图 5-16　显示屏引脚插座线路（b）

㉝脚，输入场 16bit 数据位 15，由 D030 的㊺脚输入/输出。

㉞脚，输入 16bit 数据位 7，由 D030 的㊹脚输入/输出。

㉟脚，输入 16bit 数据位 14，由 D030 的㊸脚输入/输出。

㊱脚，输入 16bit 数据位 6，由 D030 的㊷脚输入/输出。

㊲脚，接地。

㊳脚，输入 16bit 数据位 13，由 D030 的㊶脚输入/输出。

㊴脚，输入 16bit 数据位 5，由 D030 的㊵脚输入/输出。

㊵脚，输入 16bit 数据位 12，由 D030 的㊴脚输入/输出。

㊶脚，输入 16bit 数据位 4，由 D030 的㊳脚输入/输出。

㊷脚，+3.3V 电源。

㊸脚，接地。

㊹脚，输入 16bit 数据位 11，由 D030 的㊱脚输入/输出。

㊺脚，输入 16bit 数据位 3，由 D030 的㉟脚输入/输出。

㊻脚，输入 16bit 数据位 10，由 D030 的㉞脚输入/输出。

㊼脚，输入 16bit 数据位 2，由 D030 的㉝脚输入/输出。

㊽脚，+3.3V 电源。

㊾脚，输入 16bit 数据位 9，由 D0303 的㉜脚输入/输出。

㊿脚，输入 16bit 数据位 1，由 D030 的㉛脚输入/输出。

㊶脚，输入 16bit 数据位 8，由 D0303 的㉚脚输入/输出。

㊷脚，输入 16bit 数据位 0，由 D030 的㉙脚输入/输出，

10. MT48LC4M16A2 同步动态存储器电路

D490（MT48LC4M16A2）是一种快闪帧存储同步动态存储器集成电路，如图 5-17 所示。其主要引脚使用功能是：

图 5-17　MT48LC4M16A2 同步动态存储器电路

㉓～㉖脚、㉙～㉞脚、㉒、㉟脚（A0～A11）和⑳、㉑脚（BA0/BA1），用于 14bit 地址输入（31RAMA0～31RAMA13）。

⑮脚（DQML），控制数据输出缓存读出模式，接地。

㊴脚（DQMH），控制数据输出缓存读出模式，接地。

⑱脚（$\overline{RAS}$），行地址滤波。

⑰脚（$\overline{CAS}$），圆柱地址滤波。

⑯脚（$\overline{WE}$），写入存储数据读出。

⑲脚（$\overline{CS}$），片选脉冲，接地。

㊳脚（CLK），BA1 存储时钟（BA1 为圆柱地址）。

㊲脚（CKE），时钟控制，接+3.3V 电源。

⑥⑫㉘㊶㊻㊷㊹脚（VSS1～VSS7）接地。①③⑨⑭㉗㊸㊾脚为供电端，其供电电压与复位电路同步，如图 5-18 所示。

图 5-18　复位控制电路

㊵脚（NC1），空脚 1。

㊱脚（NC2），空脚 2。

②④⑤⑦⑧⑩⑪ ⑬ ㊷ ㊹ ㊺ ㊼ ㊽ ㊿ ㊺ ㊸脚（D0～D15），16bit 数据输入/输出（31RAMD0～31RAMD15）。

11．PW181 图像像素处理电路

PW181 是一种内含 CPU 的图像处理控制电路，是整机电路中的核心器件之一，如图 5-19、图 5-20、图 5-21、图 5-22、图 5-23 所示。其主要引脚使用功能是：

（1）D501A 部分的引脚功能：

A10 脚（GCLK），图形显示时钟信号输入。

B9 脚（GPEN），图形显示使能控制。

A9 脚（GVS），图形显示场同步信号。

C10 脚（GHS），图形显示行同步信号。

B10 脚（GSOG），图形端口像素输入使能端，未用。

E4 脚（GRE0），8bit 红像素通道数据位 0 输入。

C3 脚（GRE1），8bit 红像素通道数据位 1 输入。

图 5-19 D501A

B1 脚（GRE2），8bit 红像素通道数据位 2 输入。

F4 脚（GRE3），8bit 红像素通道数据位 3 输入。

C2 脚（GRE4），8bit 红像素通道数据位 4 输入。

C1 脚（GRE5），8bit 红像素通道数据位 5 输入。

D3 脚（GRE6），8bit 红像素通道数据位 6 输入。

D2 脚（GRE7），8bit 红像素通道数据位 7 输入。

C11 脚（GGE0），8bit 绿像素通道数据位 0 输入。

B12 脚（GGE1），8bit 绿像素通道数据位 1 输入。

B11 脚（GGE2），8bit 绿像素通道数据位 2 输入。

A8 脚（GGE3），8bit 绿像素通道数据位 3 输入。

B8 脚（GGE4），8bit 绿像素通道数据位 4 输入。

C8 脚（GGE5），8bit 绿像素通道数据位 5 输入。

A7 脚（GGE6），8bit 绿像素通道数据位 6 输入。

B7 脚（GGE7），8bit 绿像素通道数据位 7 输入。

B18 脚（GBE0），8bit 蓝像素通道数据位 0 输入。

A20 脚（GBE1），8bit 蓝像素通道数据位 1 输入。

B17 脚（GBE2），8bit 蓝像素通道数据位 2 输入。

A19 脚（GBE3），8bit 蓝像素通道数据位 3 输入。

B16 脚（GBE4），8bit 蓝像素通道数据位 4 输入。

A17 脚（GBE5），8bit 蓝像素通道数据位 5 输入。

A16 脚（GBE6），8bit 蓝像素通道数据位 7 输入。

A15 脚（GBE7），8bit 蓝像素通道数据位 6 输入。

图 5-20　D501B

在 D501A（PW181）引脚中，GRE0～GRE7、GGE0～GGE7、GBE0～GBE7 端口，在双像素模式下用于红色子像素偶数位、绿色子像素偶数位、蓝色子像素偶数位数据输入。但在单像素模式下只为基色数据输入。

A11 脚（GFBK）图形端口 PLL 反馈、行前移输入端。

D10 脚（GREF），图形端口 PLL 参考输出，未用。

C14 脚（GBLKSPL），图形端口黑采样钳位脉冲输出。

A18 脚（GCOAST）图形端口 PLL 惰性功能控制输出，主要用于在场消隐期间启动 PLL 惰性功能，以防止 PLL 电路响应额外的 HS 脉冲。

C9 脚（GHSFOUT），图形端口行同步脉冲输出，未用。

（2）D501B 部分的引脚功能：

E1 脚（VCLK），视频端口像素时钟，通常由外部视频解码器驱动，主要用于控制视频端口图像采集。

N2 脚（VPEN），视频端口使能输入，该脚高电平时输入像素数据有效。

E3 脚（VVS），视频场同步。

F3 脚（VHS），视频行同步。

D1（FIELD），视频奇/偶区域指示引脚。

E2 脚（VR0），视频端口 8bit 红数据位 0 输入。

F1 脚（VR1），视频端口 8bit 红数据位 1 输入。

F2 脚（VR2），视频端口 8bit 红数据位 2 输入。

G3 脚（VR3），视频端口 8bit 红数据位 3 输入。

G2 脚（VR4），视频端口 8bit 红数据位 4 输入。

H3 脚（VR5），视频端口 8bit 红数据位 5 输入。

H2 脚（VR6），视频端口 8bit 红数据位 6 输入。

G1 脚（VR7），视频端口 8bit 红数据位 7 输入。

J4 脚（VG0），视频端口 8bit 绿数据位 0 输入。

H1 脚（VG1），视频端口 8bit 绿数据位 1 输入。

J3 脚（VG2），视频端口 8bit 绿数据位 2 输入。

J2 脚（VG3）视频端口 8bit 绿数据位 3 输入。

J1 脚（VG4），视频端口 8bit 绿数据位 4 输入。

K3 脚（VG5），视频端口 8bit 绿数据位 5 输入。

K2 端（VG6），视频端口 8bit 绿数据位 6 输入。

K1 脚（VG7），视频端口 8bit 绿数据位 7 输入。

L2 脚（VB0），视频端口 8bit 蓝数据位 0 输入。

L1 脚（VB1），视频端口 8bit 蓝数据位 1 输入。

L3 脚（VB2），视频端口 8bit 蓝数据位 2 输入。

L4 脚（VB3），视频端口 8bit 蓝数据位 3 输入。

M3 脚（VB4），视频端口 8bit 蓝数据位 4 输入。

M1 脚（VB5），视频端口 8bit 蓝数据位 5 输入。

N1 脚（VB6），视频端口 8bit 蓝数据位 6 输入。

M2 脚（VB7），视频端口 8bit 蓝数据位 7 输入。

VR0 ～ VR7 、 VG0 ～ VG7 、 VB0～VB7 视频端口可在三种不同的模式下运行，在 YUV 模式下可分别输入 V、Y、U 数据，在 RGB 模式下可输入三基色像素。该机在 RGB 模式下运行。

（3）D501D 部分的引脚功能：

Y11 脚（RESET），总复位，输入高电平时，可初始化 IC 内部所有的逻辑电路。

E5 脚（MCKEXT），存储系统时钟，但使用 IC 芯片上的 PLL 锁相环电路时不用。

D6 脚（DCKEXT），为寄存器提供两种不同功能，当内部 PLL 电路关闭时，为显示时钟输入，或是为 JTAG 信号输入。

图 5-21 D501D（a）

A3（XI），143.31818MHz 时钟振荡输入。

C5（XO），14.31818MHz 时钟振荡输出。

Y12（RXD），经串行口接收数据。

V12（TXD），经串行口发送数据。

V11（IRRCVR0），红外接收器输入 0。

W11（IRRCVR1）红外接收器输入 1。

V13（PORTA0），通用 I/O 端口 0，用于 HW-SDA I^2C 总线数据线输入/输出。

图 5-21 D501D（b）

W13 脚（PORTA1），通用 I/O 端口，用于 HW-SCL I^2C 总线时钟线。

Y13 脚（PORTA2），通用 I/O 端口，用于 OEM-SDA I^2C 总线数据线。

Y14 脚（PORTA3），通用 I/O 端口，用于 OEM-SCL I^2C 总线时钟线。

W14 脚（PORTA4），通用 I/O 端口，用于 SOG-ON。

Y15 脚（PORTA5），通用 I/O 端口，用于 MUTE。

W15 脚（PORTA6），通用 I/O 端口，用于 RFGC。

V15 脚（PORTA7），通用 I/O 端口，用于 Ready。可输出 PWM 脉冲。

R17 脚（PORTB0），端用 I/O 端口，用于 STB。

W18 脚（PORTB1），端用 I/O 端口，用于 SOURCE。

V18 脚（PORTB2），端用 I/O 端口，用于 MENU。

Y18 脚（PORTB3），端用 I/O 端口，用于 CH–。

U18 脚（PORTB4），端用 I/O 端口，用于 CH+。

Y19 脚（PORTB5），端用 I/O 端口，用于 VOL–。

W19 脚（PORTB6），端用 I/O 端口，用于 VOL+。

T18 端（PORTB7），端用 I/O 端口，用于 VGA-DET。

V19、Y20、R16、U19、R18、W20、V20、U20 脚（DRE0～DRE7），为红像素输出通道但它在双像素模式下输出偶数位红色子像素数据，在单像素模式下输出红色像素数据，在该机中该组为单像素输出模式，故该组输出为红基色数据，奇数位输出组未用。

T19、T20、R19、R20、M18、P18、P19、P20 脚（DGE0～DGE7），为绿像素输出通道，在双像素模式下输出偶数位绿色子像素数据，在单像素数据，在单像素模式下输出绿色像素数据，在该机中该组为单像素输出模式故该组输出为绿基色数据。奇数位输出未用。

M17、N20、M20、L17、M19、K17、L19、L20 脚（DBE0～DBE7），为蓝像素输出通道，在双像素模式下输出偶数位蓝色子像素数据，在单像素模式下输出蓝色像素数据，在该机中该组为单像素输出模式，故该组输出为绿基色数据。奇数位输出未用。

图 5-22　D501C

T17 脚（PORTC0），I/O 端口，用于 LED-STB。

V16 脚（PORTC1），I/O 端口，用于 DTXON。

W16 脚（PORTC2），I/O 端口，用于 POWERON。

Y16 脚（PORTC3），I/O 端口，用于 LED-ON。

V17 脚（PORTC4），I/O 端口，用于 RESETn。

图 5-23　D501E

U17 脚（PORTC5），I/O 端口，用于 Hv-on。

W17 脚（PORTC6），I/O 端口，用于 PLASHEN。

Y17 脚（PORTC7），I/D 端口，用于 VOUTCTL。

P1 脚（CPUTMS），用于 TMS 输入。

Y2 脚（CPUTCK），用于 TCK 输入。

M4 脚（CPUTDI），用于 TDI 输入。

N3 脚（CPUTDO），用于 TDO 输出。

U16 脚（MODE0），模式选择 0，接上拉电阻。

N4 脚（MODE1），模式选择 1，接上拉电阻。

T5 脚（MODE2），模式选择 2，接地。

P2 脚（MODE3），模式选择 3，接上拉电阻。

U15 脚（ADR24B），接地。

W10 脚（NMI），不可屏蔽中断，高电平输入时向 CPU 发出不可屏蔽中断信号。

W4 脚（$\overline{\text{ROMWE}}$），ROM 写入使能端。低电平时可向外部 ROM 写入数据。

V5 脚（$\overline{\text{ROMOE}}$），ROM 输出使能端。低电平时可从外部 ROM 读取数据。

W12 脚（$\overline{\text{BHEN}}$），高位数据使能端，低电平时高位数据有效，未用。

Y3 脚（$\overline{\text{WR}}$），写使能端，未用。

W3 脚（$\overline{\text{RD}}$），读使能端，未用。

V10、Y10、Y9、W9、V9、Y8、W8、V8、W7、U8、V7、W6、Y6、V6、U7、U6 脚（D0～D15），微处理器 16bit 数据总线输入/输出。

U4、T4、V3、U3、Y1、W2、T3、V2、U2、W1、R4、V1、P4、R3、T2、U1、T1、R2、R1、P3 脚（A0～A19），微控制器 20 位地址总线输出。

12. MST3788 DVI、RGB 输入 A/D 变换电路

MST3788 是 ADI 公司为平板显示器接口设计的模/数变换集成电路，如图 5-24 所示，在该机中主要用于模拟 RGB 和数字 RGB 转换输出，其主要引脚使用功能是：

①脚（REFM），内部 BADC 底部引脚参考。

②脚（HSYNC0），通道口模拟行同步输入，内接施密特触发器。

③脚（VSYNC0），通道口模拟行场同步输入，内接施密特触发器。

④脚（AVDD-ADC1），3.3V 电源，用模拟 ADC 供电。

⑤脚（GND1），模拟接地。

⑥脚（BIN0P），模拟蓝色输入，来自通道口。

⑦脚（BIN0M），通道口模拟蓝色输入参考地。

图 5-24　MST3788 模/数变换电路（a）

⑧脚（SOGIN0），通道口绿色同步信号输入。

⑨脚（GIN0P），模拟绿色输入，来自通道口。

⑩脚（GIN0M），通道口绿色输入参考地。

⑪脚（RIN0P），模拟红色输入，来自通道口。

⑫脚（RIN0M），通道口红色输入参考地。

⑬脚（HSYNC1），通道 1 模拟行同步输入，用于 VGA 接口。

⑭脚（VSYNC1），通道 1 模拟场同步输入，用于 VGA 接口。

⑮脚（BIN1P），通道 1 模拟蓝色输入，用于 AGA 接口。

图 5-24　MST3788 模/数变换电路（b）

⑯脚（BIN1M），通道 1 模拟蓝色输入参考地，用于 VGA 接口。

⑰脚（SOGIN1），通道 1 绿色同步信号输入，用于 VGA 接口。

⑱脚（GIN1P），通道 1 模拟绿色输入，用于 VGA 接口。

⑲脚（GIN1M），通道 1 模拟绿色输入参考地，用于 VGA 接口。

⑳脚（RIN1P），通道 1 模拟红色输入，用于 VGA 接口。

㉑脚（RIN1M），通道 1 模拟红色输入参考地，用于 VGA 接口。

㉒脚（BIN2P），通道 2 模拟蓝色输入，用于 PCA 接口（HDTV）。

㉓脚（BIN2M），通道 2 模拟蓝色输入参考地，用于 PCA 接口（HDTV）。

㉔脚（SOGIN2），通道 2 绿色同步信号输入，用于 PCA 接口（HDTV）。

㉕脚（GIN2P），通道 2 绿色输入，用于 PCA 接口（HDTV）。

㉖脚（GIN2M），通道 2 模拟绿色输入参考地，用于 PCA 接口（HDTV）。

㉗脚（RIN2P），通道 2 模拟红色输入，用于 PCA 接口（HDTV）。

㉘脚（RIN2M），通道 2 模拟红色输入参考地，用于 PCA 接口（HDTV）。

㉙脚（AVDD-ADC2），+3.3V 电源，用于模拟 ADC 供电子。

㉚㉛脚（GND2/GND3），模拟接地。

㉜脚（AVDD-MPLL），3.3V 电源，用于 PLL 锁相环路供电。

㉝脚（XOUT），14.31818MHz 时钟振荡输出，外接晶体振荡器。

㉞脚（XIN），14.31818MHz 时钟振荡输入，外接晶体振荡器。

㉟脚（HWRESET），硬件重新安装，内部接施密特触发器。

㊱脚（A0），I^2C 接口地址输入。

㊲脚（SCL），I^2C 总线时钟线。

㊳脚（SDA），I^2C 总线数据线。

㊴脚（GND4），接地。

㊵㊷㊹㊷㊻㊽㊿(100)(103)脚，3.3V 电源，用于 VDDP1～VDDP8 供电。

㊶脚（INT），MCU 总线打断，4mA。

㊷～㊾脚（DATA23～DATA16），用于 8bit 红色数据（GRE0～GRE7）输出。

(54)～(61)脚（DATA15～DATA8），用于 8bit 绿色数据（GGE0～GGE7）输出。

(65)(73)(74)(87)(89)(91)(92)脚，接地。

(66)(75)(93)(106)脚（VDDC1～VDDC4），接 CDDC 电源。

(67)脚（DCK），数据时钟输出。

(68)脚（SOGOUT-DE），复合同步信号输出。

(69)脚（HSOUT），行同步信号输出。

(70)脚（VSOUT），场同步信号输出。

(71)脚（FIELD/GPO），奇偶区域指示引脚。

(76)～(83)脚（DATA7～DATA0），用于 8bit 蓝色数据（GBE0～GBE7）输出。

图 5-25　LM239D 按键控制电路（a）

⑩⑧脚（RX0N），微分信号对口输入，用于 DVI 接口。

⑩⑨脚（RX0P），微分信号对口输入，用于 DVI 接口。

⑪①脚（RX1N），微分信号对 1 输入，用于 DVI 接口。

⑪②脚（RX1P），微分信号对 1 输入，用于 DVI 接口。

⑪④脚（RX2N），微分信号对 2 输入，用于 DVI 接口。

⑪⑤脚（RX2P），微分信号对 2 输入，用于 DVI 接口。

⑪⑦脚（RXCKN），微分时钟对输入，用于 DVI 接口。

⑪⑧脚（RXCKP），微分时钟对输入，用于 DVI 接口。

⑫⑥脚（REXT），外部阻抗 390Ω到 AVDD-VDI。

⑫⑧脚（REFP），内部 ADC 顶部引脚参考。

13. LM239D 按键控制电路

图 5-25　LM239D 按键控制电路（b）

LM239D 是一种内部由 4 个独立的具有频率补偿的线性运算放大器，在该机中主要用于键盘扫描控制，并采用 2 只 LM^2390 完成 VOL+/-、CH+/-、MENU、SOURCE、STANDBY 调控功能，如图 5-25 所示。其中：

（1）N600(LM239D)的主要引脚使用功能：

①脚（OUT2），输出 Bit3 数据（111 0000 0X0F），用于 KPD3 控制，完成 CH-（节目选择减）功能调控。

②脚（OUT1）输出 Bit2 数据(1111 000 0X07)，用于 KPD2 控制，完成 MENU（菜单）功能调控。

③脚（VCC），+5V 电源（STB-K5V）。

④脚（IN1-），放大器 1 反相输入，用于 MENU 菜单调控。

⑤脚（IN1+），放大器 1 正相输入，用于 MENU 菜单调控。

⑥脚（IN2-），放大器 2 反相输入，用于 CH–节目选择控制。

⑦脚（IN2+），放大器 2 正相输入，用于 CH–节目选择控制。

⑧脚（IN3-），放大器 3 反相输入，用于 STB 开关机控制。

⑨脚（IN3+），放大器 3 正相输入，用于 STB 开关机控制。

⑩脚（IN4-），放大器 4 反相输入，用于 SOURCE 控制。

⑪脚（IN4+），放大器 4 正相输入，用于 SOURCE 控制。

⑫脚（GND）接地。

⑬脚（OUT4）输出 Bit1 数据（111 1100 0X03），用于 KPD1 控制，完成 SOURCE 功能调控。

⑭脚（OUT3）输出 Bit0 数据（111 1110 0X01），用于 KPD0 控制，完成 STB 功能控制。

（2）N601（LM239D）的主要引脚使用功能：

①脚（OUT2），输出 Bit5 数据（100 0000 0X3F），用于 KPD5 控制，完成 VOL-功能调控。

②脚（OUT1），输出 Bit4 数据（110 0000 0X1F），用于 KPD4 控制，完成 CH+功能调控制。

③脚（VCC），+5V 电源（STB-K5V）。

④脚（IN1–），放大器 1 反相输入，用于 CH+节目选择加控制。

⑤脚（IN1+），放大器 1 正相输入，用于 CH+节目选择的控制。

⑥脚（IN2–），放大器 2 反相输入，用于 VOL–音量减控制。

⑦脚（IN2+），放大器 2 正相输入，用于 VOL–音量减控制。

⑧脚（IN3–），放大器了反相输入，用于 VOL+音量加控制。

⑨脚（IN3+），放大器 3 正相输入，用于 VOL+音量加控制。

⑩～⑬脚，内接放大器 4，未用。

⑭脚（OUT3），输出 Bit6 数据（000 0000 0X7F），用于 KPD6 控制，完成 VOL+功能调控。

14．DS90C385MDT 低压差分（LVDS）平板显示链路发送器

DS90C385MDT 是一种显示器驱动电路，主要用于将 RGB 数字信号转换为 DVI 概念的数字，对微分信号实现数字对数字的直接传输。其应用电路如图 5-26 所示。

D570（DS90C385MDT）的主要引脚使用功能：

㉛脚（CLKIN），数字时钟输入。

㊿②㊶㊷㊹～㊻③脚（TXIN27/TXIN5、TXIN0～4、TXIN6），用于 8bit 红色数据（DRE0～DRE7）输入。

图 5-26　DS90C385MDT 应用电路（a）

⑧⑩④⑥⑦⑪⑫⑭脚（TXIN10/TXIN11、TXIN7～TXIN9、TXIN12～TXIN14），用于 8bit 绿色数据（DGE0～DGE7）输入。

⑯⑱⑮⑲⑳㉒㉓㉔脚（TXIN16/TXIN17/TXIN15、TXIN18～TXIN22），用于 8bit 蓝色数据（DBE0～DBE7）输入。

㉗脚（TXIN24），DHS 数字行同步输入。用于显示控制。

㉘脚（TXIN25），DVS 数字场同步输入。用于显示控制。

㉚脚（TXIN26），DEN，显示像素使能。

㉕脚（TXIN23），接地。

⑰脚（R-$\overline{F}$），输入参考电压。

图 5-26　DS90C385MDT 应用电路（b）

㉜脚（$\overline{PWRDN}$），输入 DTXON。

⑤ ⑬ ㉑ ㉙ ㊸脚（GND1～GND5），数字接地。①⑨㉖㊹㊹脚 3.3V 电源，其电源滤波电路如图 5-27 所示。

㊱㊸㊾脚（OGND1～OGND3），微分数字对接地。

㉝ ㉟脚（PGND1/PGND2），PLL 锁相环路接地。

㊴㊵脚（TXCOUT），DVI 数字对时钟输出。

㊲㊳脚（TXOUT3），DVI 数字对行场同步输出。

㊶㊷脚（TXOUT2），DVI 数字对蓝色输出。

㊺㊻脚（TXOUT1），DVI 数字对绿色输出。

㊼㊽脚（TXOUT0），DVI 数字对红色输出。

XS570（CONN30-LVDS）等离子屏插座的主要引脚使用功能：

① ② ③ ⑧ ⑨ ⑪ ⑭ ⑰ ⑲ ⑳ ㉕～㉗、㉙脚，接地。

④⑥脚（TX0–/TX0+），DVI 数字对红色输入。由 D570 的㊼㊽脚输出。

⑩⑫脚（TX1–/TX1+），DVI 数字对绿色输入。电 D570 的㊺㊻脚输出。

⑬脚，Hv-on 输入。

⑮脚，Ready 输出。

⑯ ⑱脚（TX2–/TX2+），DVI 数

字对蓝色输入。由 D570 的㊶㊷脚输出。

㉑脚（OEM-SDA），I^2C 总线数据线。

㉓脚（OEM-SCL），I^2C 总线钟线。

㉒㉔脚（TXCLK-/TXCLK+），DIV 数字对时钟输入。

㉘㉚脚（TX3-/TX3+），DIV 数字对行场同步输入。

STB3.3V 电源主要由 N836（BA033FP）稳压获得，主要为 D030、N010、D001 等供电，并通过 L302 输出 VDDP 为 N301 部分引脚供电。

STB2.5V 电源由 N835 稳压获得，并通过 L304 输出 VDDC 供给 N301 的㊻㊺㊸㊿脚和通过 L504 供给 D501E 的 A2、T16、U5、U9、U11、U13 脚。

STB-A3.3V 电源由 N834 稳压获得，并通过 L305 输出 AVDD 供给 N301 的④㉘㉞脚，通过 L301 输出 AVDD-PLL 供给 N301 的㉜㉒脚。

STB1.5V 电源由 N837 稳压获得，主要供给 D501E（PW181）的 VDD1～VDD35，并通过 L544 输出 1.5VP 供给 D501E 的 VPP1/VPP2。

STB3.3V 由 N836 稳压获得，通过 L550 输出 3.3V，供给 D501E 的 V101～V1019，还通过 L570 输出 3.3VC 供给 D570 的①⑨㉖㊹㊾脚。

图 5-27　低压电源滤波电路（a）

图 5-27　低压电源滤波电路（b）

15. 外部 VGA 输入接口电路

外部 VGA 输入接口电路，主要由 XS602（15 针插座）及 D640（24LC21A）存储器、D648（74LVC126A）等组成。如图 5-28 所示，其中 XS602 是该电路中的主要插口，其主要引脚使用功能是：

①脚（R+），输入正相红基色信号，经 R662、R663、R671、C671 缓冲滤波后，送入 N301（MST3788）的⑳脚。

②脚（G+），输入正相绿基色信号，经 R661、R664、R669、C669 缓冲滤波后，送入 N301（MST3788）的⑱脚。

图 5-28　外部 VGA 输入接口电路（a）

③脚（B+），输入正相蓝基色信号，经 R660、R665、R667、C667 缓冲滤波后，送入 N301（MST3788）的⑮脚。

④脚，接地。

⑤脚（VGA-DET），视频图形阵列检测信号输入。送入 D501D 的 T18 脚。

⑥脚（R–），输入反相蓝基色信号，经 R672、C672 耦合送入 N301（MST3788）的㉑脚。

⑦脚（G–），输入反相绿基色信号，经 R670、C670 耦合送入 N301（MST3788）的⑲脚。

⑧脚（B–），输入反相蓝基色信号，经 R668、C668 耦合送入 N301（MST3788）的⑯脚。

⑨脚，通过 V640 接+5V 电源。

⑩脚，接地。

⑪脚，接地

⑫脚（DDC-DATA），串行数据信号。

⑬脚（HS YNC），行同步信号，经 R654、R659 送入 N301（MST3788）的⑬脚。

⑭脚（VS YNC），场同步信号，经 R655、R658 送入 N301（MST3788）的⑭脚。

⑮脚（DDC-CLK），串行时钟信号。

D648（74LVC126A）为四比较器集成电路，用于转换输出串行时钟线和串行数据线，其主要引脚使用功能是：

①脚，输入 FLASHEN。

图 5-28　外部 VGA 输入接口电路（b）

②脚，输入 TXD。

③脚，DDC-CLK 时钟信号输出。

④脚，输入 FLASHEN。

⑤脚，输入 DDC-DATA 串行数据线。

⑥脚，输出 RXD。

⑦脚，接地。

⑧脚，比较输出 FLASHEN。

⑨脚，接地。

⑩脚，输入 FLASHEN。

⑪脚，SCL 时钟输出，用于控制 D640（24LC21A）的⑥脚。

⑫脚，DDC-CLK 时钟输入。

⑬脚，FLASHEN 比较输入。

⑭脚，VEE4.3V 电源。

16. DVI 数字视频交互（技术）接口电路

DVI 数字视频交互（技术）接口电路，主要用于输入外部数字对微分信号，以实现数字对数字的直接传输，如图 5-29 所示。

X601（DVI CON）接口的主要引脚使用功能是：

图 5-29　DVI 数字视频交互接口电路（a）

①脚（DAT2-），用于输入 RX2N 信号，并通过 R392 送入 N301（MST3788）的⑭脚。

②脚（DAT2+），用于输入 RX2P 信号，并通过 R393 送入 N301（MST3788）的⑮脚。

③脚，接地。

④脚（DAT4-），未用。

⑤脚（DAT4+），未用。

⑥脚（DDC SCL），I^2C 总线数据线。

⑦脚（DDC SDA），I^2C 总线数据线。

⑧脚（V SYNC），未用。

⑨脚（DAT1-），用于输入 RXIN 信号，并通过 R394 送入 N301（MST3788）的⑪脚。

⑩脚（DAT1+），用于输入 RXIP 信号，并通过 R395 送入 N301（MST3788）的⑫脚。

⑪脚，接地，

⑫脚（DTA3-），未用。

⑬脚（DAT3+），未用。

⑭脚（+5V），+5V 电源。

⑮脚（S YNC GND），接地。

图 5-29　DVI 数字视频交互接口电路（b）

⑯脚（HPD），外接 15kΩ偏置电阻。

⑰脚（DAT0–），用于输入 RXON 信号，并通过 R396 送入 N301（MST3788）的⑩⑧脚。

⑱脚（DAT0+），用于输入 RXOP 信号，并通过 R397 送入 N301（MST3788）的⑩⑨脚。

⑲脚，接地。

⑳脚（DAT5–），未用。

㉑脚（DAT5+），未用。

㉒脚，接地。

㉓脚（CLK+），用于输入 RXCLKP 信号，并通过 R391 送入 N301（MST3788）的⑰脚。

㉔脚（CLK–），用于输入 RXCLKP 信号，并通过 R390 送入 N301（MST3788）的⑱脚。

㉕脚（R），用于输入红基色信号，但未用。

㉖脚（G），用于输入绿基色信号，但未用。

㉗脚（B），用于输入蓝基色信号，但未用。

㉘脚（H SYNC），未用。

㉙脚（RGB GND），接地。

D690（24LC21A）E^2PROM 存储器主要用于存储由 DVI 数字接口输入的数据信息，其主要引脚使用功

能是：

①脚（NC1），未用。

②脚（NC2），未用。

③脚（NC3），未用。

④脚（GND），接地。

⑤脚（SDA），I^2C 总线数据线。

⑥脚（SCL），I^2C 总线时钟线。

⑦脚（VCLK），视频时钟输入。

⑧脚（VCC），+5V 电源。

17. 低压电源管理电路

低压电源管理电路主要是为主板电路提供多种低压电源，它主要由 5 只小功率稳压器及一些滤波电容等组成，如图 5-30 所示，其中：

图 5-30　低压电源管理电路（a）

① N831（BA18BCOFP），+1.8V 稳压器，用于产生 SW1.8V 电源，并分支出 VD1.8V、AVDD11、

AVDD21、AV14，主要为 D401D（PW1232）部分引脚提供工作电压。

② N834（BAO33FP），+3.3V 稳压器，用于产生 STB-A3.3V 电源，并分支出 AVDD-DVI、AVDD-PLL、AVDD，主要为 N301（MST3788）部分引脚提供工作电压。

③ N835（BA25BCOFP），+2.5V 稳压器，用于产生 STB2.5V 电源，并分支出 VDDC、2.5V，主要为 N301（MST3788）和 D501E（PW181）的部分引脚供电。

④ N836（BAO33FP），+3.3V 稳压器，用于产生 STB3.3V 电源，并分支出 3.3V、VDDP、3.3VL，主要为 N301（MST3788）和 D570（DS90C385MDT）等部分引脚提供工作电压。

⑤ N837（MP141OES），主要用于产生 STB1.5V 电源，并分支出 1.5V、1.5VP，主要为 D501E（PW181）部分引脚提供工作电压。

在电源管理电路中，N831（BA18BCOFP）主要由 SW3.3V 电源供电，SW3.3V 电源取自于为 PDP 屏供电的稳压电源控制模块电路，同时，SW3.3V 电源还为 N340（VPC3230D）、N385（VPC32300）供电；N834（BAO33FP）、N835（BA25BCOFP）、N836（BAO33FP）、N837（MP141OES）主要由 STB-M5V 电源

图 5-30　低压电源管理电路（b）

供电，STB-M5V 电源取自于为 PDP 屏供电的稳压电源控制模块电路，同时，STB-M5V 电源还分支出 STB-

M5V、STB-K5V，为 N230（MSP3463G）N600/N601（LM239D）等提供工作电压。

在 PDP 平板电视机中，PDP 显示屏的供电源主要由稳压电源控制模块及逆变器电路等组成，由 220 V 市网电压直接供电，主要产生 Vw（40～70V）、Vxg（180～200V）、Vs（180～200V）、V_f（15V）、Vcc（5V）5 组电压。其中：

Vw（40～70V）为点火电压，主要为 Y 扫描电极供电。

Vxg（180～200V）为熄灭电压，主要为 X 扫描维持电极供电。

Vs（180～200V）为维持电压，主要为 X 扫描电极供电。

V_f（15V）为着火电压，主要为平板内壁气体供电，着火电压是等离子显示器中的一个重要参数。不同组成部分的放电气体的着火电压、放电电流、辐射光谱分布和强度不同，部分影响交流型等离子显示器（AC-PDP）的工作电压、功耗及色度等。因此为使 AC-PDP 具有优良的显示特性，就必须选合适的放电气体，并且要求放电气体的着火电压较低。但在大量的实验中发现，着火电压 V_f 总是随着气体压力和两平板电极间的距离的乘积而变化。有关着火电压随气体压力及两平板电极间的距离变化的因素较为复杂，这里就不再多述。

18. YPbPr/HDTV 输入接口电路

在外部输入接口电路中，XS605 主要用于逐行扫描或高清信号输入，如图 5-31 所示。其接口功能主要是：

XS605B⑨脚，输入 G 信号或 Y 信号，G 信号经 R675、R685、C685、R680、C680 滤波耦合输出后，作为 GIN2P 信号送入 N301（MST3788）的㉕脚。但 Y 信号经 R685、C685、R677、C677 滤波耦合输出后，作为 SDG IN2 信号送入 N301 的㉔脚。

XS605B ⑪脚，输入 B 信号或 Pb 信号，B 信号经 R674、R686、C686、R678、C678 滤波耦合输出后，作为 BIN2P 信号送入 N301（MST3788）的㉒脚；Pb 信号也送入 N301 的㉒脚。

XS605B ⑩⑫⑭脚，接地。

XS605B ⑬脚，输入 R 信号或 Pr 信号，R 信号经 R676、R684、C684、R682、C682 滤波耦合输出后，作为 RIN2P 信号送入 N301（MST3788）的㉗脚；Pr 信号也送入 N301 的㉗脚。

与 XS605 为一组的 L（左）、R（右）声道音频信号直接送入 N230（MSP3463G）。

在 XS605B ⑨⑪⑬脚输入线路中，并接在 VPT3.3V 电源和地之间的 V676、V675、V674 二极管，组成双向限幅电路，分别用于 YpbPr 或 RGB 输入信号中的尖峰脉冲钳位。

图 5-31　YPbPr/HDTV 输入接口电路

第 6 章　TCL PDP 42U3A-L（PW118 机芯）等离子彩色电视机整机线路图

TCLPDP42U3A-L 等离子彩色电视机是 TCL 集团生产的高端平板系列产品之一，具有一定的代表性。其整机机芯电路技术，主要采用了十几只集成电路。其中主要有：

U2 PW118 图像处理电路。

U3 THC63LVDM83ALVDS 编码电路。

U8 PW3300 视频数字解码电路。

U17 SDRAMX16M-TSOP50 同步动态存储器。

U12 M13S128168A 动态随机存储器。

U13 M13S128168A 动态随机存储器。

U20 Flash-8M 闪速存储器。

U21 24LC32A/NC E^2PROM 存储器。

U23 PIC 16F716 微控制处理器。

U24 S35380A 时钟振荡电路。

U1102 TPA3004D2 音频处理电路。

IC204 DIP2 MSP34*5G 音频处理电路。

U504 RT34063 功率因数校正控制器。

U2 P15A124 视频开关电路。

与该种机芯技术基本相同的机型还有：TCLPDP42U6-L/PDP4221A/PDP42M8/PDP42B70/PDP4228LY/PDP42U6LY 等。

1. DVI 数字视频输入接口电路

P1 DVI-V 数字视频输入接口如图 6-1 所示，其主要引脚使用功能是：

①脚（DATA2-），用于输入 RX2m 信号，并通过 R1（27Ω）送入 U8A（PW3300）的 E2 端。

②脚（DATA2+），用于输入 RX2p 信号，并通过 R3（27 Ω）送入 U8A（PW3300）的 E3 端。

③脚（DATA2/4_SHLD），接地。

④脚（DATA4-），未用。

⑤脚（DATA4+），未用。

⑥脚（DDC_CLK），I^2C 总线时钟线。

⑦脚（DDC_DATA），I^2C 总线数据线。

⑧脚（A_VSYNC）未用。

⑨脚（DATA1-），用于输入 RX1m 信号，并通过 R4（27Ω）送入 U8A（PW3300）的 F2 端。

⑩脚（DATA1+），用于输入 RX1p 信号，并通过 R9（27Ω）送入 U8A（PW3300）的 F3 端。

⑪脚（DATA1/3_SHLD），接地。

⑫脚（DATA3-），未用。

⑬脚（DATA3+），未用。

⑭脚（+5V），D5V 电压。

⑮脚（GND），接地。

⑯脚（H_PLUG_DET），接 D5V 电压。

图 6-1　PI DVI.V 数字视频输入接口电路（a）

⑰脚（DATA0-），用于输入 RXOM 信号，并通过 R10（27Ω）送入 U8A（PW3300）的 G2 端。

⑱脚（DATA0+），用于输入 RXOP 信号，并通过 R12（27Ω）送入 U8A（PW3300）的 G3 端。

⑲脚（DATA0/5_SHLD），接地。

⑳脚（DATA5-），未用。

㉑脚（DATA5+），未用。

㉒脚（CLK_SHLD），接地。

㉓脚（CLK+），用于输入 RXCp 信号，并通过 R13（27Ω）送入 U8A（PW3300）的 E1 端。

㉔脚（CLK-），用于输入 RXCm 信号，并通过 R15（27Ω）送入 U8A（PW3300）的 G1 端。

㉕脚（A_RED），模拟红色信号输入，但未用。

㉖脚（A_GREEN），模拟绿色信号输入，但未用。

㉗脚（A_BLUE），模拟蓝色信号输入，但未用。

㉘脚（A_HSYNC），模拟行同步信号输入，但未用。

㉙脚（A_GND1），接地。

㉚脚（A_GND2），接地。

㉛脚（NC1），空脚 1。

㉜脚（NC2），空脚 2。

㉝脚（SHELL1），接地。

㉞脚（SHELL2），接地。

图 6-1　PI DVI.V 数字视频输入接口电路（b）

DVI 数字视频输入接口用于传输未压缩的高清晰度数字视频信号，主要用于计算机和数字电视显示器。但 DVI 常有 DVI-I 和 DVI-D 两种形式，其中 DVI-I 可以兼容模拟视频信号，而 DVI-D 只能传输数字视频信号。

DVI 接口可以支持 1600×1200@85Hz 的 UXGA、2048×1536@75Hz 的 QXGA，以及 720P、1080I、1080P 等高清晰度数字电视信号。DVI 接口的①～㉔脚可以传输三路 TMDS 数字视频信号，C1～C4 用于传输模拟的 RGB 三基色信号。

2. VGA 输入接口电路

P4 VGA 输入接口电路如图 6-2 所示，其主要引脚功能是：

①脚（GRED）红基色信号（R）输入，并通过 C177（0.18μF）耦合，送入 U8（PW3300）的 K2 端。

②脚（GGRN），绿基色信号（G）输入，并通过 C174（0.18μF）耦合，送入 U8（PW3300）的 K1 端。同时通过 SOG 信号经 C176（1nF）耦合，送入 U8（PW3300）的 L1 端。

③脚（GBLU），蓝基色信号（B）输入，并通过 C173（0.18μF）耦合，送入 U8（PW3300）的 M1 端。

④脚，接地。

⑤脚，接地。

⑥脚，接地。

⑦脚，接地。

⑧脚，接地。

⑨脚，(G5V) 供电。

⑩脚，接地。

⑪脚，未用。

⑫脚（GRXD），用于串行时钟输入。

图 6-2　VGA 输入接口电路（a）

⑬脚（IHS），用于行同步脉冲输入，并通过 U19B（74ACT08A）的⑤⑥脚送入 U8A（PW3300）的 T1 端。

⑭脚（IVS），用于场同步脉冲输入，并通过 U19C（74ACT08A）的⑧⑨脚送入 U8A（PW3300）的 T3 端。

⑮脚（GTXD），用于串行数据输入/输出。

VGA 输入接口适用于计算机输出的 RGB 三基色信号及行、场同步信号。在目前和市场上出售的 PDP 显示器的显示格式大多为 853×480/60Hz 的 16∶9 宽屏幕，也可以用来显计算机的 640×480/60Hz 输出信号，但水平方向的文字、图形将被拉宽。

U18（24LC21A）为双模式 I²C 串行存储器，主要用于存储外部 VGA 端口输入的信息数据，其主要特点是具有 128×8 位模式的电力可擦写能力；供电电压在 2.5～5.5V 之间；2 路串行总线：100kHz（2.5V）和 400kHz（5V）兼容；页码缓冲器为八进制字节；具有 100 万次清除、擦写和自动保护功能等。其主要引脚使用功能是：

①②③脚（NC1/NC2/NC3），未用。

④脚（GND），接地。

⑤脚（SDA），串行地址/数据（I/O）。

⑥脚（SCL），串行时钟。

⑦脚（VCLK），串行时钟（仅一种模式控制）。

⑧脚（VCC），+5 电源。

U19（74ACT08A）为四比较器输出电路，其中⑧⑨⑩脚内接比较器，用于整形输出场同步信号，由 P4 插口⑭脚输入的 VGA 场同步信号首先送入⑨脚，然后与⑩脚输入的 VCCG 电压比较，整形后由⑧脚输出，并送入 U8A（PW3300）的 T3 脚；④⑤⑥脚内接比较器，用于整形输出行同步信号，由 P4 插口⑬脚输入的 VGA 行同步信号首先送入⑤脚，然后与④脚输入的 VCCG 电压比较，整形后由⑥脚输出，并送入 U8A（PW3300）的 T1 脚。

图 6-2　VGA 输入接口电路（b）

小知识：PDP 显示设备的接口要求

PDP 显示设备在模拟电视向数字电视的过渡期，应能兼容接收显示模拟电视信号和数字电视及计算机信号。因此，要求 PDP 显示设备就必须有多种音视频信号接口，如：

① RF 射频输入接口，主要用于接收 PAL-D 模拟电视信号。

② CVBS 复合视频信号输入接口，主要用于输入 VCD、DVD 等视频信号。

③ S 端子输入接口，主要用于输入 Y/C 分离信号。

④ YPrPb 色差分量信号输入接口，主要用于输入压缩后的 SDTV 标清或 HDTV 高清信号。

⑤ VGA 输入接口，主要用于输入计算机视频信号。

⑥ DVI 数字视频接口，主要用于输入未压缩的高清数字视频信号。

⑦ HDMI 高清多媒体接口，专门用于数字视频、音频信号输入。

⑧ USB 接口，主要用于移动文件输入。

3. YPbPr 色差分量信号输入接口电路

YPbPr 色差分量信号输入接口电路主要用于为数字电视接收设备提供逐行图像信号。如图 6-3 所示，P2（YPbPr）输入接口的引脚功能分别是：

①脚（HD1Y），用于输入高清 Y 信号，并通过 C191（1nF）、C192（0.18μF）输出 G 信号、Y 信号，并分别送入 U8A（PW3300）的 N3 脚和 N2 脚。

②脚（HD1CB），用于输入 B 分量信号，并通过 C196（0.18 F）耦合送入 V8A（3300）的 N4 脚。

YPbPr

图 6-3　YPbPr 色差分量信号输入接口电路

③脚（HD1CR），用于输入 R 分量信号，并通过 C187（0.18μF）耦合送入 U8A（PW3300）的 N1 脚。

在 P2 输入口电路中，D21、D22、D20 为 BAV99L 双向限幅二极管，分别用于 YPbPr 输入信号中的正负尖脉冲限幅，主要起限幅保护作用。

在 P2 输入口电路中，P5 口与之配合输入伴音信号，其中①脚用于输入左（L）声道音频信号，并通过 J2 插排⑤脚送入 IC204（MSP34*SG）的㊳脚；②脚用于输入右（R）声道音频信号，并通过 J2 插排⑧脚送入 IC204（MSP34*5G）的㊴脚。

4．RS232ESD 保护接口电路

RS232（MAX232）是美国美信公司（MAXIM）生产的 ESD（静电放电）保护器件的系列产品，主要用于接口器件保护。在一些电气设备中，当有人插拔电缆或仅仅是触摸到 I/O 端口时，ESD（静电放电）就可使与之相连接的接口器件遭到损坏而无法工作。为保护 I/O 端口不受损坏，美信公司开发了一种 ESD 保护方案以适应端口保护，目前其系列产品主要有 MAX3241E/MAX3243E/MAX3244E/MAX3245E/MAX3232E/MAx3222E/MAx3223E/MAx3224E/MAx3225E/MAx3221E/MAx3226E/MAX3227E 等。它们的主要技术参术有：

电源电压范围（V）在+3.0～+5.5V。

发送、接收器数 3/5、2/2、1/1。

图 6-4　RS232ESD 保护接口电路

电源电流（μA）300μA 或 1μA。

人体模型（测试标准）±15kV。

IEC1000-4-2 接触放电±8kV。

IEC100-4-2 空气间隙放电±15kV。

IEC1000-4-2 电收速瞬变/猝发±4kV。

外接电容 4×0.1μF。

保证速率（bps）250kbps 或 1Mbps。

在该机中，U28（MAX323）主要用于 P4（VGA）接口保护，由⑪⑫脚输入/输出 TXD（经串行口发送数据）和 RXD（经串行口接收数据）。

5. PW188 机芯数字板电路原理图

PW118 机芯数字板电路主要由具有去隔行处理，图像格式化比例缩放，像素驱动、画面质量增强、DSD、MCU 等处理功能的 PW118 和具有 ADC 模数转换、数字信号接收处理、视频解码、视频开关等处理功能的 PW3300 等组成，用于完成数字视频信号格式变换，如图 6-5 所示。其主要功能如下。

图 6-5　PW118 机芯数字板电路方框图（a）

（1）输入信号格式

① 模拟信号输入：支持输入所有工业标准和非工业标准的视频分辨率信号。主要包括 480i（NTSC 制）、576i（PAC/SECAM 制），以及 480P、720P、1080i 输入信号格式，也可以支持从 VGA（640×480P）到 WXGA（如 1366×768P）的计算机信号输入格式。

②数字信号输入：支持 8 比特的 YCrCb（ITU-R BT656 国际标准）、16 比特的 YCrCb（ITU-R BT60 国际标准）、8 比特的 YPrPb 以及 24 比特的 RGB、YCrCb、YPrPb 等数字信号输入格式。

③输入像素速率最高达 75MHz。

图 6-5　PW118 机芯数字板电路方框图（b）

（2）输出信号格式

①输出格式的分辨率包括 480P、576Pi、576P、720P、1080i、1080P，以及由 XGA 到 SXGA 的计算机输出格式。

②支持隔行和逐行信号输出格式。

③输出信号可以是模拟的 YUV/RGB 分量信号，也可以是数字的 24 比特 RGB，YCrCb、YPrPb（4：

4：4 取样格式），或是数字的 16/20 比特 PCrCb（4：2：2 取样格式）分量信号。

6. THC63LVDM83A 程序存储器

THC63LVDM83A 是一种驱动程序存储器，主要用于 LVDS 编程，以驱动显示器，如图 6-6 所示。其主要引脚使用功能是：

①脚（RS），接地。

②脚（TD1），8bit 红数据位 2（DR3）输入，由 U2C（PW118）的 AB17 脚提供。

③脚（TA5），8bit 红数据位 8（DR9）输入，由 U2（PW118）的 W20 脚提供。

④脚（TA6），8bit 绿数据位 3（DG4）输入，由 U2（PW118）的 V20 脚提供。

⑤脚（GND），接地。

图 6-6 THC63LVDM83A 程序存储器电路（a）

⑥脚（TB0），8bit 绿数据位 4（DG5）输入，由 U2（PW118）的 V14 脚提供。

⑦脚（TB1），8bit 绿数据位 5（DG6）输入，由 U2（PW118）的 AA18 脚提供。

⑧脚（TD2），8bit 绿数据位 1（DG2）输入，由 U2（PW118）的 AB19 脚提供。

⑨脚（VCC），+3.3V 电源。

⑩脚（TD3），8bit 绿数据位 2（DG3）输入，由 U2（PW118）的 Y15 脚提供。

⑪脚（TB2），8bit 绿数据位 6（DG7）输入，由 U2（PW118）的 Y16 脚提供。

⑫脚（TB3），8bit 绿数据位 7（DG8）输入，由 U2（PW118）的 W15 脚提供。

⑬脚（GND），接地。

⑭脚（TB4），8bit 绿数据位 8（DG9）输入，由 U2（PW118）的 AB20 脚提供。

⑮脚（TB5），8bit 蓝数据位 3（DB4）输入，由 U2（PW118）的 AA20 脚提供。

⑯脚（TD4），8bit 蓝数据位 1（DB2）输入，由 U2（PW118）的 W16 的脚提供。

⑰脚（R/F（NC）），接地。

⑱脚（TD5），8bit 蓝数据位 2（DB3）输入，由 U2（PW118）的 V21 脚提供。

⑲脚（TB6），8bit 蓝数据位 4（DB5）输入，由 U2（PW118）的 Y19 脚提供。

⑳脚（TC0），8bit 蓝数据位 5（DB6）输入，由 U2（PW118）的 W17 脚提供。

㉑脚（GND），接地。

㉒脚（TC1），8bit 蓝数据位 6（BD7）输入，由 U2（PW118）的 W18 脚提供。

㉓脚（TC2），8bit 蓝数据位 7（DB8）输入，由 U2（PW118）的 Y20 脚提供。

㉔脚（TC3），8bit 蓝数据位 8（DB9）输入，由 U2（PW118）的 W19 脚提供。

图 6-6　THC63LVDM83A 程序存储器电路（b）

㉕脚（TD6），未用。

㉗脚（TC4），行同步信号（DHS）输入，由 U2（PW118）的 V18 脚提供。

㉘脚（TC5），场同步信号（DVS）输入，由 U2（PW118）的 V19 脚提供。

㉙脚（GND），接地。

㉚脚（TC6），使能控制，其控制信号由 U2（PW118）的 AA19 脚输出。

㉛脚（CLK IN），时钟信号输入，由 U2（PW118）的 V17 脚输出。

㉜脚（/PWDN）电源控制。

㉝脚（PLL GND），锁相环接地。

㉞脚（PLL VCC），锁相环供电，3.3V。

㉟脚（PLL GND），锁相环接地。

㊱脚（LVDS GND），低电压差动信号接地。

㊲脚（TD+），正相数据对 RD+输出，送入 P7 的 28 脚。

㊳脚（TD-），反相数据对 RD-输出，送入 P7 的 26 脚。

㊴脚（TLLK+），正相数据对 RCLK+时钟输出，送入 P7 的㉒脚。

㊵脚（TCLK-），反相数据对 RCLK-时钟输出，送入 P7 的⑳脚。

㊶脚（TC+），正相数据对（RC+）输出，送入 P7 的 16 脚。

㊷脚（TC-），反相数据对（RC-）输出，送入 P7 的 14 脚。

㊸脚（LVDS GND），接地。

㊹脚（LVDS VCC），+3.3V 电源。

㊺脚（TB+），正相数据对（RB+）输出，送入 P7 的 10 脚。

㊻脚（TB-），反相数据对（RB-）输出，送入 P7 的 8 脚。

㊼脚（TA+），正相数据对（RA+）输出，送入 P7 的 4 脚。

㊽脚（TA-）反相数据对（RA-）输出，送入 P7 的 2 脚。

㊾脚（LVDS GND），接地。

㊿脚（TD0），8bit 红数据位 1（DR2）输入，由 U2（PW118）的 AB16 脚提供。

51脚（TA0），8bit 红数据位 3（DR4）输入，由 U2（PW118）的 AB18 脚提供。

52脚（TA1），8bit 红数据位 4（DR5）输入，由 U2（PW118）的 AB18 脚提供。

54脚（TA2），8bit 红数据位 5（DR6）输入，由 U2（PW118）的 AA15 脚提供。

55脚（TA3），8bit 红数据位 6（DR7）输入，由 U2（PW118）的 W14 脚提供。

56脚（TA4），8bit 红数据位 7（DR8）输入，由 U2（PW118）的 W14 脚提供。

7. PW3300 视频解码电路

PW3300 是一种具有 ADC、数字信号接收处理、视频解码、视频开关等处理功能的超大规模集成电路，是数字板电路中的核心器件之一，但在该机中 PW3300 主要分为 A、B、C、D 4 个部分，如图 6-7、图 6-8、图 6-9、图 6-10 所示。其中：

PW3300U8A 部分的主要引脚使用功能是：

图 6-7　U8A（a）

E3 脚（RX2P），用于输入由 P1 端口（DVI）②脚输出的正极性 B 数据信号，见 DVI 输入接口电路。

E2 脚（RX2M），用于输入由 P1 端口（DVI）①脚输出的反极性 B 数据信号。

F3 脚（RX1P），用于输入由 P1 端口（DVI）⑩脚输出的正极性 G 数据信号。

F2 脚（RX1M），用于输入由 P1 端口（DVI）⑨脚输出的反极性 G 数据信号。

G3 脚（RX0P），用于输入由 P1 端口（DVI）⑱脚输出的正极性 R 数据信号。

图 6-7　U8A（b）

G2 脚（RX0M），用于输入由 P1 端口（DVI）⑰脚输出的反极性 R 数据信号。

E1 脚（RXCP），用于输入由 P1 端口（DVI）㉓脚输出的正极性时钟数据信号。

G1 脚（RXCM），用于输入由 P1 端口（DVI）㉔脚输出的反极性时钟数据信号。

F1 脚（RTERM），外接 3.3kΩ偏置电阻。

K3 脚（FILT），外接 RC 双时间常数滤波器。

C5 脚（COAST），IN0CST 输入。

D5 脚（CLAMP），IN0CMP 输入。

K2 脚（RED1），RAIN 红信号输入。

K1 脚（GRN1），GAIN 绿信号输入。

L1 脚（SOG1），PCSOG 绿同步信号输入。

M1 脚（BLU1），BAIN 蓝信号输入。

T1 脚（HS1），HSYNC 行同步信号输入。

T3 脚（VS1），VSYNC 场同步信号输入。

N1 脚（RED2），HDCR1 高清 R 信号输入。

N2 脚（GRN2），HDY1 高清 Y 信号输入。

N3 脚（SOG2），HDSOG1 高清同步信号输入。

N4 脚（BLU2），HDCB1 高清 B 信号输入。

P1 脚（RED3），TV 视频信号输入。

P2 脚（GRN3），CVBS 视频信号输入。

P3、P4 脚（SOG3/BLU3），未用。

R1 脚（RED4），用于 S 端子的 Y 信号输入。

R2 脚（GRN4），用于 S 端子 C 信号输入。

R3、R4 脚（SOG4/BLU4），未用。

T2 脚（HS2），行脉冲输入 2，未用。

T4 脚（VS2），场脉冲输入 2，未用。

L2、L3、M2、M3 脚（R2/G2/S2/B2），未用。

C3 脚（ASPECT0），外接 3.3kΩ偏置电阻。

C4 脚（ASPECT1），外接 3.9kΩ偏置电阻。

C2 脚（ASPECT2），未用。

C1 脚（REXT），外接 22kΩ偏置电阻。

A7、A8、B8、C8、D8、D9 脚，未用。

B9 脚（DGVBI），DPVBI 输出。

F15 脚（DGFLD），DGFLD 输出。

F16 脚（DGVS），DGVS 场同步信号输出。

F14 脚（DGHS），DGHS 行同频信号输出。

E15 脚（DGAHS），DGAHS 行同步信号输出。

E16 脚（DGPEN），DGPEN 视频端口使能控制输出。

G15 脚（DGCLK1），DGCLK1 时钟信号输出。

P16～P14、R16～R14、T16～T13 脚（DGBO0～DGBO9），10bit 蓝信号奇数位数据（BE0～BE9）输出。

L16～L14、M16～M13、N16～N14 脚（DGGO0～DGGO9），10bit 绿信号奇数位数据（GE0～GE9）输出。

G14、H16～H14、J16～J14、K16～K14 脚（DGRO0～DGRO9），10bit 红信号奇数位数据（RE0～RE9）输出。

B16、B15、C16、C15、D16～D14、E14 脚（DGBE0～DGBE7），8bit 蓝信号偶数位数据（BO2～BO9）输出。

C13、B13、A13、C14、B14、A14～A16 脚（DGGE0～DGGE7），8bit 绿信号偶数位数据（GO2～GO9）输出。

B10、A10、C11、B11、A11、C12、B12、A12 脚（DGRE0～DGRE7），8bit 红信号偶数位数据（RO2～RO9）输出。

图 6-8　U8B

PW3300U8B 部分的主要引脚使用功能是：

P5、N5、P6、N6、P7、N7、P8、N8、R8、T8、R7、T7、R6、T6、R5、T5 脚（FSD0～FSD15），16bit 动态存储器数据总线。

R9 脚（FSCLK），动态存储器时钟信号输出。

P12、N12、P13、N13、R13、R12、T12、R11、T11、R10、N11 脚（FSA0～FSA10），11bit 动态存储器地址总线。

T10 脚（FSA11），未用。

N10 脚（FSBANK0），用于 DMBA0。

P11 脚（FSBANK1），未用。

T9 脚（FSDQM），用于 DMDQM 数据输入/输出模式控制。

P10 脚（$\overline{\text{FSRAS}}$），用于 DMRASn 同步动态随机存储器行地址滤波。

N9 脚（$\overline{\text{FSCAS}}$），用于 DMCASn 同步动态随机存储器圆柱地址滤波。

P9 脚（$\overline{\text{PSWE}}$），用于 DMWEn 写入存储器控制。

图 6-9　U8C

PW3300U8C 部分的主要引脚使用功能是：

A4 脚（XIN），27MHz 时钟振荡输入，外接 27MHz 压控晶体振荡器。

A5 脚（XOUT），27MHz 时钟振荡输出，外接 27MHz 压控晶体振荡器。

A1～A3 脚（SA6/SA5/SA2），未用。

B3 脚（SCL），I^2C 总线时钟线输入。

B2 脚（SDA），I^2C 总线数据线输入/输出。

B5 脚（HDCPSCL），I^2C 总线时钟线输出。

B4 脚（HDCPSDA），I^2C 总线数据线输出。

D1 脚（$\overline{\text{RESET}}$），复位输入。

D4 脚（MCL），外接 10kΩ偏置电阻。

D2、D3 脚（NC2/NC1），未用。

B7、C7、D7、A6、B6、C6、D6 脚（GPIO9～GPIO15），用于测试点 TP35～TP41。

C9 脚（GPIO2），用于测试点 TP34。

A9 脚（GPIO0），用于 VCCG 电源输入。

C10 脚（EXTINT），未用。

B1 脚（SYSCLKT），未用。

PW3300U8D 部分的主要引脚使用功能是：

图 6-10　U8D

J8、J7、K9～K7、L9、K6～K4、H1～H3、G7、M9、F4、E4、G5、H8～H6、J3、J4、F6～F8、E10、G10、H10、J10、K10、F10、F12、F11、F9、G11、G9、H11、H12、H9、J11、K11、K12、L11、J9 脚，用于 GND1～GND44 接地。

D10～D13、F13、E13、G13、H13、J13、K13、L13、M10～M12 脚，3.3V 电源，用于 V33D1～V33D14 供电。

E5、E6、G6、E11、E12、G12、J12、L10、L12 脚，1.8V 电源，用 V18D1～V18D9 供电。

F7 脚，V18SP（1.8V）电源。

H5、J5、J6 脚，V18P（1.8V）电源。

M8、J1、J2、F8、F6 脚，V18A（1.8V）电源。

L8～L4、M6～M4 脚，V33ADC（3.3V）电源。

M7、G4、H4、G8、F9 脚，V33A（3.3V）电源。

8. SDRAM×16M-TSOP50 同步动态存储器

SDRAM×16M-TSOP50 同步动态存储器，主要用于与主机随机同步工作，如图 6-8 所示。其主要引脚使用功能是① ⑦ ⑬ ㉕ ㊳ ㊹脚（VCC1～VCC6），+3.3V 电源，其低压电源及滤波电路如图 6-11 所示。

图 6-11　低压电源及滤波电路

② ③ ⑤ ⑥ ⑧ ⑨ ⑪ ⑫ ㊴ ㊵ ㊷ ㊸ ㊺ ㊻ ㊽ ㊾脚（D0～D15），16bit 数据总线，与 U8B（PW3300）的 FSD0～FSD15 端子直通。

④ ⑩ ㉖ ㊶ ㊼ ㊿脚（GND1～GND6），接地。

⑮脚（$\overline{WE}$），页写功能控制。

⑯脚（$\overline{CAS}$），圆柱地址滤波。

⑰脚（$\overline{RAS}$），行地址滤波。

⑱脚（$\overline{CS}$），片选脉冲，接地。

⑭ ㊱脚（DQML/DQMH），缓存读出模式和数据写入模式。

㉑～㉔、㉗～㉜、⑳ ⑲脚（A0～A11），12bit 行地址总线。

9. PW118 图像处理电路

PW118 是一种具有去隔行处理，图像格式化比例缩入、像素驱动、画面质量增强、OSD、MCU、等处理功能的高集成度系统内置芯片，其应用电路如图 6-12、图 6-13、图 6-14、图 6-15、图 6-16、图 6-17 所示。

图 6-12　U2A

U2A 部分的主要引脚使用功能主要是：

L1 脚（IN0AHS），行同步信号输入。

L3 脚（IN0VBI），VB1 输入。

L4 脚（IN0CLK），时钟输入。

L5 脚（IN0PEN），显示像素使能。

J3 脚（IN0HS），行同步脉冲输入。

J1 脚（IN0VS），场同步脉冲输入。

G2、M1、L2、G1、H2、K1、K4、H1、J2、P3 脚（IN0BO0～IN0BO9），用于 10bit 蓝色奇数位数据输入，但实际上输入 8bit 数据，G2、M1 脚未用。

H3、N2、P1、E1、K5、E2、N1、F1、J4、G3 脚（IN0GO0～IN0GO9），用于 10bit 绿色奇数位数据输入，但实际上输入 8bit 数据，H3、N3 脚未用。

K2 脚（IN0CST），综合芯片选择输出。

K3 脚（IN0CMP），CMP 输出。

U2B 部分的主要引脚使用功能是：

R3、Y2、U2、V1、P4、U4、V2、W5、P5、T4 脚（IN1B0～IN1B9），10bit 蓝信号数据输入，但未用。

V3、R1、AB3、R2、T2、T1、V4、AA2、Y5、U1 脚（IN1G0～IN1G9），10bit 绿信号数据输入，但未用。

AA4、Y1、W4、W1、AB5、W2、AA5、AA3、AB4、T3 脚（IN1R0～IN1R9），10bit 红信号数据输入，但未用。

Y3 脚（IN1FLD），未用。

AB2 脚（IN1VS），未用。

AB6 脚（IN1HS），未用。

AA1 脚（IN1AHS），未用。

Y4 脚（IN1VBI），未用。

R4 脚（IN1PEN），未用。

U3 脚（IN1CLK），未用。

图 6-13　U2B

U2C 部分的主要引脚使用功能是：

V17 脚（DCLK）显示时钟信号 1 输出。

V19 脚（DVS），显示场同步脉冲输出。

V18 脚（DHS），显示行同步脉冲输出。

AA19 脚（DEN），显示像素使能。

AB14～AB17、AA14、AB18、AA15、Y14、W14、W20 脚（DR0～DR9），用于 10bit 红色数据输

出，但实际上输出 8bit 数据，AB14、AB15 脚未用。

AA16、AA17、AB19、Y15、V20、V14、AA18、Y16、W15、AB20 脚（DG0～DG9），用于 10bit 绿色数据输出，但实际上输出 8bit 数据，AA16、AA17 脚未用。

Y17、Y18、W16、V21、AA20、Y19、W17、W18、Y20、W19 脚（DB0～DB9），用于 10bit 蓝色数据输出，但实际上输出 8bit 数据，Y17、Y18 脚未用。

图 6-14　U2C

U2D 部分的主要引脚使用功能是：

AA8 脚（$\overline{\text{RESET}}$），复位端正，外接 U9（MAX809）用于上电复位，其主要任务是确保电源刚被打开时，处理器从一个已知的地址开始运行。为此，上电复位逻辑输出在处理器电源刚被打开时将处理器锁定在复位状态。该脚外接 SW1 为手动复位开关，当电源电压仍在允许误差以内时，用手动方式按一下 SW1 去触发一次复位也是很有作用的。这项功能不仅被用于调试和最终测试，而且，当处理器锁定时这个功能也很有用，可使处理器重新启动，而不必关掉电源，这种功能对于那些处理器永不掉电的产品尤其重要。

W7 脚（XI），用于时钟振荡输入，外接 14.318MHz 压控晶体振荡器。

V7 脚（XO），用于时钟振荡输出，外接 14.318MHz 压控晶体振荡器，X3、和 R73、C84、C83 组成外部时钟振荡电路，为 IC 内部提供基准时钟频率。

Y13 脚（RXD），经串行口接收数据。

W13 脚（TXD），经串行口发送数据。

AB13 脚（IRRCVR0）遥控信号输入。

AA13 脚（IRRCVR1），遥控信号输入，未用。

Y9 脚（PORTA0），通用 I/O 端口 0，用于 SDA I^2C 总线数据线输入/输出。

AB11 脚（PORTA1），通用 I/O 端口 1，用于 SCL I^2C 总线时钟线输出。

AA10 脚（PORTA2），通用 I/O 端口 2，用于 RESETn 总复位输出。

AA9 脚（PORTA3），通用 I/O 端口 3，用于 TP034 测试点。

AB12 脚（PORTA4），通用 I/O 端口 4，用于 TP035 测试点。

AB10 脚（PORTA5），通用 I/O 端口 5，用于 DPWON。

W9 脚（PORTA6），通用 I/O 端口 6，用于 TP036 测试点。

W10 脚（PORTA7），通用 I/O 端口 7，用于 PWM 输出，但未用。

Y10 脚（PORTB0），通用 I/O 端口 0，用于 TP037 测试点。

W11 脚（PORTB1），通用 I/O 端口 1，用于 STDBY 控制。

AA11 脚（PORTB2），通用 I/O 端口 2，未用。

图 6-15　U2D

AA12 脚（PORTB3），通用 I/O 端口 3，用于 MUTE 静噪控制。

AB9 脚（PORTB4），通用 I/O 端口 4，用于 TP039 测试点。

W12 脚（PORTB5），通用 I/O 端口 5，CVBS-SEL 视频信号选择控制。

Y11 脚（PORTB6），通用 I/O 端口 6，未用。

Y12 脚（PORTB7），通用 I/O 端口 7，用于 SYNC-SEP 同步信号选择。

AA6 脚（ADC0），模/数转换 0，用于 KEY1 键扫描信号输入 1。

AB7 脚（ADC1），模/数转换 1，用于 KEY2 键扫描信号输入 2。

V6 脚（ADC2），模/数转换 2，用于 AFT 自动频率微调。

V5 脚（ADC3），模/数转换 3，用于 POWER-KEY 键控待机信号输入。

W21 脚（TMS），未用。

Y21 脚（TDO），未用。

AA22 脚（TDI），未用。

AB22 脚（$\overline{TRST}$），未用。

Y22 脚（TCK），未用。

AA21 脚（JTAGSEL），接地。

W22 脚（TESTMODE），接地。

AB8 脚（EXTRSTEN），接地。

AB21 脚（ADR24B），外接 3.3V 电源。

Y6 脚（ANLGTST），接地。

Y8 脚（NMI），外接 SW2 触发开关。

B13 脚（$\overline{CS1}$），未用。

C13 脚（$\overline{CS0}$），未用。

A13 脚（$\overline{ROMWE}$）。ROM 存储器写入使能端，低电平时可以向外部存储器写入数据。

B9 脚（$\overline{ROMOE}$）。ROM 存储器输出使能端，低电平时可以从外部存储器中读出数据。

A9 脚（$\overline{WR}$），写使能端，低电平时可向外部 RAM 或其他器件写入数据，但未用。

A12 脚（$\overline{RD}$），读使能端，低电平时可从外部 RAM 或其他器件读取数据，但未用。

图 6-16　U2E

U2F（PW118）部分的主要引脚使用功能是：

T20～T22、R19～R22、P19、L22、N20、M19、K22、M20、M21、L21、K21、H20、F21、D22、H19、G20、E21、D21、C21、B21、E19、F19、C20、D19、C19、E19、D18 脚（MD0～MD31），32bit 数据总线，用于控制 U12/U13（M13S128168A），主要用于输出 MMD0～MMD31 数据信号。

M22、C22 脚（MREFIN0/MREFIN1），用 VREF 参考输出。

V22 脚（MCK），时钟输出 0。

U21 脚（$\overline{\text{MCK}}$），时钟输出 1。

图 6-17　U2F

U20 脚（MCKFBK），时钟反馈输入 0。

T19 脚（$\overline{\text{MCKFBK}}$），时钟反馈输入 1。

A18 脚（MCKE），RMCKE 输出。

B20 脚（$\overline{\text{MRAS}}$），行地址选通，当该脚为低电平时，行地址锁存在 MCK 存储器时钟信号的正向沿。

A19 脚（$\overline{\text{MCAS}}$），列地址选通，当该脚为低电平时，列地址锁存在 MCK 存储器时钟信号的上升沿。

A17 脚（$\overline{\text{MWE}}$），存储器写入使能端。

B18 脚（$\overline{\text{MCS}}$），存储器芯片选择。

N22 脚（MDM0），RMDM0 输出。

N21 脚（MDM1），RMDM1 输出。

P21 脚（MDQS0），RMDQS0 输出。

P22 脚（MDQS1），RMDQS1 输出。

G22、L20、L19、J21、E22、B19、J20、F22、K19、K20、A20、G21、K18 脚（MA0～MA12），用于 13bit 总线地址总线输出。

M18 脚（MBNK0），RMBK0 输出。

H22 脚（MBNK1），RMBK1 输出。

E20 脚（MDM2），RMDM2 输出。

D20 脚（MDM3），RMDM3 输出。

A22 脚（MDQS2），RMDQS2 输出。

G19 脚（MDQS3），RMDQS3 输出。

10. M13S128168A 动态随机存储器

U12（M13S128168A 应用电路如图 6-18 所示，其主要引脚使用功能是：

① ⑱ ㉝ ③ ⑨ ⑮ ㊺ ㊶脚，+2.5V 电源。

㉞ ㊽ ㊻ ⑥ ⑫ ㊷ ㊽ ㊹脚，接地。

㊾脚（VREF），参考电压输入。

㊺脚（CK），时钟输入 0。

㊻脚（$\overline{CK}$），时钟输入 1。

㊹脚（CKE），时钟控制。

㉓脚（$\overline{RAS}$），行地址滤波。

㉒脚（$\overline{CAS}$），圆柱地址滤波。

㉑脚（$\overline{WE}$），可写入存储器数据读出。

㉔脚（$\overline{CS}$），芯片选择。

图 6-18　M13S128168A 动态随机存储器电路（a）

⑳脚（LDM），RMDM0 输入。

㊼脚（UDM），RMDM1 输入。

⑯脚（LDQS），RMDQS0 输入。

㊶脚（UDQS），RMDQS1 输入。

㉙～㉜、㉟～㊵、㉘㊶㊷脚（A0～A12），行地址，输入 RMA0～RMA12 数据。

㉖脚（BA0），圆柱地址 0，用于输入 RMBK0。

㉗脚（BA1），圆柱地址，用于输入 RMBK1。

U13（M13S128168A）的主要引脚使用功能是：

①⑱㉝③⑨⑮㊺㊶脚，+2.5V 电源。

②④⑤⑦⑧⑩⑪⑬㊹㊻㊼㊾㊿㊷㊸㊺脚（DQ0～DQ15），16bit 数据输入/输出。

㉞㊽㊻⑥⑫㊷㊻㊹脚，接地。

㊾脚（VREF），参考电压输入。

㊺脚（CK），时钟输入 0。

㊻脚（$\overline{CK}$），时钟输入 1。

㊹脚（CKE），时钟控制。

㉓脚（$\overline{RAS}$），行地址滤波。

㉒脚（$\overline{CAS}$），圆柱地址滤波。

㉑脚（$\overline{WE}$），可写入存储器数据读出。

㉔脚（$\overline{CS}$），芯片选择。

⑳脚（LDM），RMDM0 输入。

㊼脚（UDM），RMDM1 输入。

⑯脚（LDQS），RMDQS0 输入。

㊶脚（UDQS），RMDQS1 输入。

㉖脚（BA0），圆柱地址 0，用于输入 RMBK0。

㉗脚（BA1），圆柱地址 1，用于输入 RMBK1。

11. U20（Flash-8M）闪速存储器

U20（Flash-8M）闪速存储器电路如图 6-19 所示。其主要引脚使用功能是：

㉖脚（$\overline{CE}$），FCEn 片选信号输入，用于芯片选择。

㉘脚（$\overline{OE}$），ROMOEn，允许控制信号输入，用于芯片逻辑控制。

⑪脚（$\overline{WE}$），ROMWEn，写入选择。

图 6-18　M13S128168A 动态随机存储器电路（b）

⑫脚（$\overline{RP}$），锁相环时钟振荡器偏置电阻，用于调整振荡器的基极电流，但接 3.3V。

JP4（调试程序）引脚功能：

①②脚，写入选择。㉛㊾ ㊿ ㊼ ㊽ ㊺ ㊻ ㊸ ㉝ ㉞ ㉛ ㉜ ㉙ ㉚ ㉗ ㉘ ㉖ ㊹ ㊶脚，19 位地址总线。由 U20（PW118）的 A1～A19 端控制。

⑦⑨⑪⑬⑮⑱ ⑳㉒⑧⑩⑫⑭⑰㊾ ⑳㉓脚，16bit 数据输入/输出，与 U20（PW118）的 D0～D15 端子直通。

④脚，外接 SW3（SW-DPDT-SMT）开关，并通过 SW3 的⑤⑥端接地。

⑤脚，接地。

⑥脚，输入 ROMOEn 允许控制信号。

⑳脚，接地。

㉟～㊵、㊷脚，未用。

U21（24LC32A/NC）双模式 I^2C 串行存储器，其引脚功能是：

①②③脚（NC0/NC1/NC2）接地。

④脚（GND），接地。

⑤脚（SDA），I^2C 总线数据线。

⑥脚（SCL），I^2C 总线时钟线。

⑦脚（WP），写控制，接地。

⑧脚（VCC），+3.3V 电源。

图 6-19 Flash-8M 闪速存储器应用电路（a）

⑭脚（$\overline{WP}$），写保护。

㊼脚（$\overline{BYTE}$），接 3.3V 电源。

㉕～⑱、⑧～①、㊽、⑰、⑯脚（A0～A18），19bit 地址总线，用于地址输入，由 U20（PW118）的 A1～A19 端子控制。

⑬脚（VPP），FWPn 控制。

㊲脚（VCC），+3.3V 电源。

㉙ ㉛ ㉝ ㉟ ㊳ ㊵ ㊷ ㊹ ㉚ ㉜ ㉞ ㊱ ㊴ ㊶ ㊸ ㊺脚（D1～D16），16bit 数据输入/输出，与 U20（PW118）的 D0～D15 端直通。

U20 是一种 Flash（闪速）存储器，其主要特点是：

① 内含 8MB（1M×8/512K×16bit）内存容量，其中 1MB 由 8bit 的字节或 16bit 的字节组成。

② 标准通道时间为 70ns 和 9ns。

③ 支持 WE 写入和 OE 输出控制。

④ 数据传输分为 UDQM 和 LDQM。

⑤ 具有自动恢复和自己恢复功能。

键盘接口，主要输入 KEY1 和 KEY2 键控制号，并送入 V2D（PW118）的 AA6、AB 脚。

Q3（BT3906）、Q4（C144ET）及 Q5（BT3906）、Q6（BT3906）等组成 TV 信号同步分离电路，主要是将 TV 视频信号中的复合同步信号分离出来，并由 Q3 的集电极输出 SYNC 复合同步信号，送入 U2D（PW118）的 Y12 脚。

图 6-19　Flash-8M 闪速存储器应用电路（b）

12. PIC16F716 MCU 微控制器电路

PIC16F716 是一种 8 位通用微控制器，主要采用了高性能的静态 80c51 技术，其应用电路如图 6-20 所示，其主要引脚使用功能是：

①脚（AN2/A2），为 I/O 端口，用于 MSCL 存储器时钟线。

②脚（AN3/A3），为 I/O 端口，用于 MSOA 存储器数据线。

③脚（A4/T0），为 I/O 端口，用于 STDBY 电源控制。

④脚（$\overline{MCLR}$），用于重位控制。

⑤脚（VSS），负电源接地。

⑥脚（B0/INT），为 I/O 端口，用 POWER-KEY 键控制待机信号输入。

⑦脚（T1/B1），为 I/O 端口，用于 MUTE 静噪控制。

Q V18 为 1.8V 电源，主要为 PW3300 的部分引脚供电，该电压通过 U_{15}（AMS1084-1.8）稳压从 V33 中获得，V33 为 3.3V 电源，经 U_{14}（AMS1084-3.3）稳压从 5V_MAIN 中获得，V33 主要为 PW118 等供电。

图 6-20　PC16F716MCU 微控制器电路（a）

⑧脚（B2/T1O），为 I/O 端口，用于 IR-IN 遥控信号输入。

⑨脚（PWA/B3），I/O 端口，用于 LED-R 红色指标灯（发光二极管）控制。

⑩脚（B4），I/O 端口，用于 LED-B 蓝色指示灯（发光二极管）控制。

⑪脚（PWB/B5），I/O 端口，用于面板 VSVA-ON 控制。

⑫脚（INT/B6），I/O 端口，用于 IR-IN 遥控信号输入。

⑬脚（PWD/B7），I/O 端口，用于面板 RL-ON 控制。

⑭脚（VDD），+5V 电源。

⑮脚（OSC2），振荡器输出，外接 8MHz 压控晶体振荡器。

⑯脚（OSC1），振荡器输入，外接 8MHz 压控晶体振荡器。

⑰脚（AN0/A0），为 I/O 端口，用于面板 5V-MON1 控制。

⑱脚（AN1/A1），为 I/O 端口，用于面板 AC-ON 控制。

J12（CON5）接口，用于连接面板指示灯，其中①脚连接蓝色指示灯，用于开机指示，②脚连接红色指示灯，用于待机指示。③脚+5V 电源，④脚接地。

J8（CON7）接口，用于 PDP 电源控制，其中：①脚用于 AC-ON 输入并送入 U23 的⑱脚②脚用于 RL-ON 输出，并由 U23 微控器的⑬脚控制。

⑤脚用于 VsVa-ONPANEL 控制输出。其中 Vs 为等离子屏扫描电极驱动模块的维持电压，Va 为寻址电压。当 VsVa 电压被切断时，等离子屏面板不工作。

图 6-20　PC16F716MCU 微控制器电路（b）

13. S35380A 时钟振荡电路

U24（S35380A）主要用于支持 32.768kHz 时钟振荡，为串行总线提供准时钟频率，如图 6-21 所示。其主要引脚使用功能是：

①脚（/INT1），未用。

②脚（OSCOUT），时钟振荡输出，外接 32.768kHz 压控晶体振荡器。

③脚（OSCIN），时钟振荡输入，外接 32.768kHz 压控晶体振荡器。

④脚（GND），接地。

⑤脚（/INT2），未用。

⑥脚（SCL），串行数据线。

⑦脚（SDA），串行数据线。

⑧脚（VCC），+5V 电源。

LED1、LED2 为发光二极管，其中 LED1 用于 STB 指示，发红光，LED2 用于 MAIN 指示，发蓝光。

图 6-21　S35380A 时钟振荡电路（a）

小知识：帧频变换电路

帧频变换电路是高端电视中很重要的一部分电路，它主要用于完成显示器垂直刷新频率的变换，即将 50Hz/60Hz 的输入帧频变换到 75Hz、100Hz 或 120Hz。因此，帧频变换电路可以消除一般 50Hz 垂直刷新频率引起的大面积图像闪烁，它可以支持 SDTV 标清信号和 HDTV 高清信号输入。

D25（BAV70L），用做双向限幅，主要对 U24（S35380）⑧脚供电端起开关保护作用，在 5VS 电源电压正常时，D25 的①②脚导通，U24BAT1 电池电压（3.0V）继续为 U24⑧脚供电，以确保 U24 时钟振荡电路在待机状态下能工作。

X2(32.768kHz) 为压控晶体振荡器，主要为 MCU 微控制器控制系统提供基准时钟频率。

U25（24C32）为 32bit 串行存储器，主要用于 MCU 微控制器的控制系统，其引脚的功能是：

①～③脚（A0/A1/A2），为地址选择端，应用时接地。

④脚（GND），接地。

⑤脚（SDA），串行数据线。

⑥脚（SCL），串行时钟线。

⑦脚（TEST），测试端，接地。

⑧脚（VCC），+5V 电源。

Q_1（2SK2158）、Q_2（2SK2158）用于 I^2C 总线激励输出。其中，Q 输出 SDA 数据线，Q_2 输出 SCL 时钟线。

图 6-21　S35380A 时钟振荡电路（b）

小知识：SDRAM 存储器接口（SDI）

在高端电视机中，内置 SDRAM 存储器接口（SDI）主要是控制去隔行电路和帧变换电路对 SDRAM 的存取，以保证在多路去隔行读出电路中，在每个读出和写入通道，都能根据先入先出原则，仲截电路控制写入和读出，并使先入先出不出现下溢。

14. TPA3004D2 音频功放电路

TPA3004D2 主要用于音频信号处理，如图 6-22 所示，其主要引脚使用功能是：

①脚（$\overline{SD}$），识别信号，主要用于 MUTE 静噪控制。

②脚（RINN），右声道反相输入，未用。外接 1μF 滤波电容。

③脚（RINP），右声道正相输入，用于右声道音频信号输入。

④脚（V2P5），2.5V 模拟单元基准电压，外接 1μF 滤波电容。

⑤脚（LINP），左声道正相输入，用于左声道音频信号输入。

⑥脚（LINN），左声道反向输入，未用，外接 1μF 滤波电容。

⑦脚（AVDDREF），5V 基准参考电压调谐输出。

⑧脚（VREF），模拟基准电压输入。

⑨脚（VARDIFF），输出增益控制设置的直流电压。

⑩脚（VARMAX），输出最大增益控制的直流电压。

⑪脚（VOLUME），输出增益设置的直流电压。

⑫脚（REFGND），增益控制电路接地。

⑬脚（BSLN），左声道负极性 I/O 引导。

⑭脚（PVCCL），左通道工作电压，13.5V。

⑮脚（PVCCL），左通道工作电压，13.5V。

⑯⑰脚（LOUTN），左通道负极性音频信号输出。

图 6-22　TPA3004D2 音频功放电路（a）

⑱⑲脚（PGNDL），左通道接地。

⑳㉑脚（LOUTP），左通道正极性音频信号输出。

图 6-22　TPA3004D2 音频功放电路（b）

㉒㉓脚（PVCCL），左通道工作电压。

㉔脚（BSLP），左通道正极性 I/O 引导。

㉕脚（VCLAMPL），外接左通道引导电容。

㉖脚（AGND），模拟电压接地。

㉗脚（ROSC），外接锯齿波发生器电流偏置电阻。

㉘脚（COSC），外接锯齿波振荡电容。

㉙脚（AVDD），5V 校准输出，输出电流为 100mA。

图 6-23　MSP345G 音频信号处理电路（a）

㉚脚（$\overline{\text{FADE}}$），锯齿波控制输入。

㉛㉜脚（VAROUTL/VAROUTR），左右通道音频变量输出，但未用。

㉝脚（AVCC），+13.5V 电源，用于模拟电路供电。

㉞脚（MODE），输入模式控制。

㉟脚（MODE_OUT），模式选择输出，未用。

㊱脚（VCLAMPR），外接右通道引导电容。

㊲脚（BSRP），右通道正极性 I/O 引导。

㊳㊴脚（PVCCR），右通道工作电压。

图 6-23　MSP345G 音频信号处理电路（b）

③、④脚，未用。

⑩脚（DVSUP），+5V 电源，用于 MTS（多频道电视音频）数字电路供电。

⑪脚（DVSS），数字电源接地。

⑫～⑮脚，未用。

⑯脚（RESETQ），复位输入，低电平时复位有效。

⑰⑱脚（DACA_R/DACA_L），未用。

⑲脚（VREF2），参考地 2。

⑳脚（DACM-R），扬声器信号左通道输出。

㊵㊶脚（RO-UTP），右通道正极性伴意信号输出。

㊷㊸脚（PG-NDR），右通道接地。

㊹㊺脚（RO-UTN），右通道负极性伴音信号输出。

㊻㊼脚（PV-CCR），右通道工作电压。

㊽脚（BS-RN），右通道负极性 I/O 引导。

15．MSP3450 音频信号处理电路

MSP3450 系列单片多标准音频处理器是一种涵盖了全球所有模拟电视标准音频处理的超大规模集成电路，如图 6-23 所示。其主要引脚使用功能是：

① 脚（I^2C-CL），I^2C 总线时钟线。

② 脚（I^2C-DA），I^2C 总线数据线。

㉑脚（DACM-L），扬声器信号左通道输出。

㉒～㉔脚，未用。

㉕脚（SC2-OUT-R），SCART2 信号右通道输出。

㉖脚（SC2-OUT-L），SCART2 信号左通道输出。

㉗脚（VREF1），参考地 1。

㉘㉙脚，未用。

㉚脚（CAPL-A），耳机音量电容接口。外接 C48 为平滑滤波器，用于抑制耳机音量改变时产生的音频脉冲。

㉛脚（AHVSUP），模拟供电高压端。+8V 电源。

㉜脚（CAPL-M），扬声器音量电容，用于抑制扬声器音量改变时产生的音频脉冲，故外接 C49 主要起平滑作用。

㉝脚（AHVSS），模拟供电高压部分接地。

㉞脚（AGNDC），内部模拟参考电压。外接 C54、C53 为滤波电容。

㉟脚（SC4_IN_L），SCART4 左声道输入，用于 HD_L 输入。

㊱脚（SC4_IN_R），SCART4 右声道输入，用于 HD_R 输入。

㊲脚（ASG1），模拟地屏蔽 1，接地。

㊳脚（SC3_IN_L），SCART3，左通道模拟输入，用于 PC_L 输入。

㊴脚（SC3_IN_R），SCART3 右通道模拟输入，用于 PC_R 输入，如图 6-24 所示。

图 6-24　PC-R/L 输入电路

㊵脚（ASG2），模拟地屏蔽工，接地。

㊶㊷脚，未用。

㊸脚（ASG3），模拟地屏蔽 3，接地。

㊹脚（SC1-IN-L），SCART1 左通道模拟输入，用于 AV_L 输入，如图 6-25 所示。

㊺脚（SC1-IN-R），SCART1 右通道模拟输入，用于 AV_R 输入。

㊻脚（VREFTOP），IF 中频模/数转换器参考电压，外接 C32、C31 为滤波电容。

㊼脚（MONO-IN），单声道输入，未用。

㊽脚（AVSS），模拟供电接地。

㊾脚（AVSUP），模拟供电电源，+5V。

㊿脚（ANA-IN+），中频输入 1，用于模拟伴音中频信号正极性输入。

(51)脚（ANA-IN−），中频公共点输入，用于模拟伴音中频信号负极性输入。

(52)脚（ANA-IN2+），中频输入 2，未用。

(53)脚（TESTEN），测试使能末端。用于启动工厂测试模式，正常工作时接地。

(54)脚（XTAL-IN），时钟振荡输入，外接 18.433MHz 压控晶体振荡器。

(55)脚（XTAL-OUT），时钟振荡输出，外接 18.433MHz 压控晶体振荡器。

(56)～(61)脚，未用。

(62)脚（ADR-SEL），I^2C 总线地址选择。

(63)脚（STANDBYQ），后备控制。该脚低电平时 MSP 被关闭。在该机中该脚通过 10kΩ电阻被+5V 电源钳位在高电平。

小知识：去隔行效应

去隔行效应，是能够有效消除由隔行取样造成的场差效应的一种补偿措施，它主要是建立在以像素为基本单元的运动自适应去隔行技术，它比传统的以行或场信号为基本单元的重复使用更加先进。例如，电影胶片信号通过 3∶2 或 2∶2 复制技术生成 60Hz 隔行 NTSC 制视频信号或 50Hz 隔行 PAL/SECAM 制视频信号后，再变为先进的 60Hz 逐行 NTSC 视频信号或 50Hz 逐行 PAL/SECAM 制视频信号，此时在屏幕上就看不出场差效应的图像或“赝像”，即完成了去隔行效应。

ESD1（PESD5V0S2BT）用于 P2（S 端子）色信号、亮度信号输入端放电保护、当 S-C 或 S-Y 输入端有尖峰脉冲出现时，ESD1 击穿导通，起保护作用。

P1 用于外部 AV 视频信号和 L（左）、R（右）声道音频信号输入，其中 AV 视频信号经 C18 送入 U2（P15A124）的⑥脚，经转换后从⑤脚输出，送入 U8A（PW3300）的 P2 脚；AV_L/R 分别送入 IC204 的㊹㊺脚。

图 6-25　AV-L/R 输入电路

小知识：扫描格式变换电路

扫描格式变换电路，主要用于 16∶9 幅型比的显示屏上无失真地显示 4∶3 幅型比的图像，或是在 4∶3 幅型比的显示屏上无失真地显示 16∶9 幅型比的图像，但在目前的模拟信号前提下，在 16∶9 幅型比的显示屏上重显 4∶3 幅型比的信号时，虽然可以充满全屏，并且只保证屏幕中心图像不失真，其左右边沿图像则被拉长。同样，在 4∶3 屏幕上重显 16∶9 幅型比的图像信号时，图像也会充满全屏，但也只保证屏幕中心主要位置图像内容不失真，而上下边沿图像则被拉长。

16. TUN1（Q7-389F15-Nxo）高频调谐器电路

在 PDP 等离子彩色电视机中，高频调谐电路通常均是采用了数字式锁相环技术，TUN1（Q7-389F15-Nxo）调谐器就是具有 I^2C 总线端口的数字式锁相环调谐器，如图 2-26 所示。其主要引脚使用功能是：

①～⑥脚，未用。

⑦脚（SIF），伴音中频信号输出。选入 IC2045⑤脚。

⑧脚（GND），接地。

⑨脚（SCL），I^2C 总线时钟线。

⑩脚（SDA），I^2C 总线数据线。

⑪脚（AGC），中频 AGC 滤波。

⑫脚（MB），+5V 电源。

⑬脚（NC），未用。

⑭脚（TU），+32V 调谐电压。

⑮脚（GND），接地。

⑯脚（AFT），自动频率微调，送入 U2D（PW118）的 V6 脚。

⑰脚（VIDEO），TV 视频图像信号输出，送入 U2（P15A124）的④脚，经转换后从⑤脚输出，经 C165 耦合送入 U8A（PW3300）中的 P2 脚。

U2（P15A124）为视频开关转换电路，主要用于转换 TV 视频信号和 AV 视频信号。其引脚功能是：

①脚（SEL）输入 TV/AV 转换控制信号。

②脚（VCC），+5V 电源。

③脚（GND），接地。

④脚（IN0），TV 视频信号输入。

⑤脚（OUT），选择后的视频信号输出。

⑥脚（IN1），AV 视频信号输入。

Q2（BT3904 NPN）为缓冲放大器，用于放大由 U2（P15A124）⑤脚输出的 CVBS 视频图像信号，并通过 AV 输出端口向机外输出。

图 6-26　高频调谐电路（a）

TUN1 是一种内置中放检波和视音频分离输出的高、中频调谐器组件。它通过 I^2C 总线在 MCU 及其编程软件的节目预约程序控制下完成高频调谐和频段切换，并在数字式频率合成方式下锁定所能接收的电视节目，因此它所接收的每一个电视节目都由可变分频比决定。可变分频比主要是通过可变分频器对来自高频调谐器的本机振荡频率进行分频而获得。可变分频器包括固定分频比的前置分频器和可编程的可变分频器。可变分频器输出的分频信号将于基准分频器输出的基准振荡信号进行相位比较，即鉴相，最终使本机振荡频率符合接收频道的标准频率的要求。

U504（RT34063）是一种功率因数校正控制器，它可以减少宽电流动作，稳定输出电压，在该机中主要用于稳定加到 TUN1 调谐器⑭脚的 32VTU 调谐电压。其主要引脚使用功能是：

①脚（SC），未用。
②脚（SE），驱动信号输出。
③脚（TC），时基控制。
④脚（GND），接地。
⑤脚（COMP），误差电压输出。
⑥脚（VCC），+12V 电源。
⑦脚（IPK），输入+12V 电源。
⑧脚（DRIVER），驱动控制。

P2 为 S 端子，用于输入 Y/C 分离信号，其中 S-C 色度信号经 C101（1μF）耦合，送入 U8A（PW3300）的 R2 端；S-Y 亮度信号经 C163（1μF）耦合，送入 U8A（PW3300）的 R1 端。

图 6-26　高频调谐电路（b）

17. SYNC-SEP 复合同步信号输出电路

SYNC-SEP 复合同步信号输出电路，主要用于从 TV 视频信号中分离出复合同步信号，它主要由 Q5（BT3906）、Q6（BT3906）、Q7（C144ET）、Q8（BT3906）等组成，如图 6-27 所示。但在有些机型中该部分电路删除未用。具体应用时见由 Q3～Q6 组成的同步分离电路。

图 6-27　SYNC-SEP 复合同步信号输出电路

第 7 章　解读康佳 PDP4217G 等离子彩色电视机整机线路图

康佳 PDP4217G 是采用 GM1601/GM1501 等主芯片的等离子彩色电视机的系列产品之一，它的整机机芯技术主要采用了十几个集成电路，其中主要有：

N1012 TDA9885T 中放、解调电路。

N103 MSP3420G 伴音小信号处理电路。

N104 TDA1308 耳机功放电路。

N201 TDA8946 伴音功放电路。

N301 AT24C21E^{2}PROM 存储器。

N302 AT24C21E^{2}PROM 存储器。

N303 74LVC114A。

N305 P15V33 模拟视频切换电路。

N401 PLCC32R/S（W39L040P）程序储存器。

N402 W986432DH64MB 图像缓冲存储器。

N403 W941232AD128MB 数据缓冲存储器。

N404 1S61LV2568L-10T 图文数字信息缓冲器。

N405 W39L080P-70B 图文数字信息缓冲器。

N406 AT24C16E^{2}PROM 存储器。

N407 SDA5550M-QB 图文电视信号处理电路。

N411 FLI2310 图像增强器。

N501 GM1601 图像数字信号处理与微控制器。

N502 24LC32，E^{2}PROM 存储器。

N504 THC63LVD103 低压差分信号传送电路。

其图像信号处理及控制器电路如附图 5 所示（整机的一部分图），图像数字解码及数字视频格式变换电路如附图 6 所示（整机的一部分图）。与该种机芯技术基本相同的机型还有 PDP4212、PDP5012 等。

1. VPC3230D 视频解码电路

VPC3230D 是一种内置 4H 自适应梳状滤波器的视频解码集成电路，如图 7-1 所示。其功能特点主要有：

（1）IC 内部集成有视频切换、Y/C 分离、A/D 转换、数字解码、PIP 等功能电路。

（2）有 4 路 AV 视频信号输入，经格式化等处理后转换成 Y/C 数字输出。

（3）有一路 S 端子输入。

（4）有两路 RGB/YCRCB 输入，经矩阵、混频等处理后转换成 Y/C 数字输出。

（5）视频解码输出支持 ITU-R601/656 数字输出接口。

（6）PIP 功能具有 4 种显示大小，15 种显示模式。

N412（VPC3230D）的主要引脚使用功能是：

①脚（B1/CB1IN），蓝基色或隔行蓝分量信号输入 1，主要为模拟信号输入。

②脚（G1/Y1IN），绿基色或亮度信号输入 1，主要为模拟信号输入。

③脚（R1/CR1IN），红基色或隔行红分量信号输入 1，主要为模拟信号输入。

④脚（B2/CB2IN），蓝基色或隔行蓝分量信号输入 2，主要为模拟信号输入。

⑤脚（G2/Y2IN），绿基色或亮度信号输入 2，主要为模拟信号输入。

⑥脚（R2/CR2IN），红基色或隔行红分量信号输入 2，主要为模拟信号输入。

⑦脚（ASGF），模拟信号的格式输入端接地。

⑨脚（VSUPCAP），数字电路供电去耦滤波，外接去耦电容。

⑩脚（VSUPID），3.3V 电源，用于数字电路供电。

⑪脚（GNDD），数字电源接地。

⑫脚（GNDCAP），数字供电去耦电容。

图 7-1　VPC3230D 视频解码电路（a）

⑬脚（SCL），I^2C 总线时钟线。

⑭脚（SDA），I^2C 总线数据线。

图 7-1　VPC3230D 视频解码电路（b）

⑮脚（RESQ），复位输入。

⑯ ⑰ ⑱脚，接地。

⑲～㉔脚，未用。

㉕脚（GNDPA），模拟引脚地。

㉖脚（VSUPPA），模拟引脚供电。

㉗脚（LLC2），时钟输出。

㉘脚（LLC1），时钟输出，未用。

㉙脚（VSUPLLC），+3.3V 电源，用于时钟电路供电。

㉚脚（GNDLLC），时钟电路接地。

㉛～㉞、㊲～㊵脚（Y7～Y0），8bit 亮度信号（DEC1Y7～DEC1Y0）数据输出。

㉟脚（GNDY），Y 数据输出端口接地。

㊱脚（VSUPY），+3.3V 电源，用于 Y 数据端口供电。

㊶～㊹、㊼～㊿脚（C7～C0），8bit 色度信号输出，但在该机中接地。

㊺脚（VSUPC），+3.3V 电源。

㊻脚（GNDC），接地。

(51)脚（GNDSY），接地。

(52)脚（VSUPSY），+3.3V 电源。

(53)～(55)、(58)～(61)脚，未用。

(56)（MSY/HS），主同步/行同步脉冲输入。

(57)脚（VS），场同步脉冲输入。

(59)（VSTBY），待机供电电源。

(62)（XTAL1），时钟振荡输入，外接 20.25MHz 压控晶体振荡器。

(63)脚（XTAL2），时钟振荡输出。

(64)脚（ASGF），模拟区接地。

(65)脚（GNDF），模拟前端接地。

(66)脚（VRT），参考电压点。

(67)脚（I^2CSEL），I^2C 总线地址选择。

⑱脚（ISGND），模拟输入信号端口接地。

⑲脚（VSUPF），模拟前端供电。

⑳脚（VOUT），模拟视频信号输出。

㉑脚（CIN），S 端子 C 信号输入。

㉒脚（VIN1），外部视频输入 1。

㉓脚（VIN2），外部视频输入 2。

㉔脚（VIN3），外部视频输入 3。

㉕脚（VIN4），外部视频输入 4。

㉖脚（VSUPAI），模拟前端器件供电，+5V。

㉗脚（GNDAI），模拟前端器件接地。

㉘脚（VREF），参考电压点。

㉙脚（FB1IN），RGB 快速消隐输入。

㉚脚（GND），接地。

2. FLI2310 数字格式变换电路

FLI2310 是一种高质量的数字视频格式变换集成电路，如图 7-2 所示，它采用了高整合数字视频转换的应用软件，能够对任意不规则格式的图形缩放比例、帧频比例进行转换。其内部集成有三个 10 位模/数变换器，可自动适应逐行处理功能。

N411（FLI2310）的主要引脚使用功能是：

①脚（HSYNC1_PORT1）行同步脉冲 1 或端口输入，未用。

②脚（VSYNC1_PORT1），场同步脉冲 1 或端口输入，未用。

③脚（FIELD ID1_PORT1），奇数/偶数扫描场识别，或端口输入，未用。

图 7-2　FLI2310 数字格式变换电路（a）

④脚（IN_CLK1_PORT1），时钟数据输入或端口输入，未用。

⑤脚（HSYNC2_PORT1），行同步脉冲输入 2 或端口输入，未用。

⑥脚（VSYNC2_PORT1），场同步脉冲输入 2 或端口输入，未用。

⑦脚（FIELD ID2_PORT1），奇数/偶数扫描场识别，或端口输入，未用。

⑧脚（VDD1（3.3）），3.3V 电源。

⑨脚（VSSio），接地。

⑩脚（IN_CLK2_PORT1），时钟数据输入 2 或端口输入。

⑪～⑮、⑱～⑳脚（B/Cb/D1_0～B/Cb/D1_7），用于蓝基色或蓝分量数字输入，未用。

㉑～㉘脚（R/Cr/CbCr_0～R/Cr/CbCr_7），用于红基色或红分量数字输入，未用。

㉙脚（G/Y/Y_0），绿基色或 Y 数字输入，未用。

㉚脚（VDD2（3.3）），3.3V 电源。

㉛脚（VSSio），接地。

㉜～㉟、㊳～㊵脚，基色或 Y 数字（G/Y/Y_1～G/Y/Y_7）输入。

㊶脚（IN_SEL），外部视频选择输入，未用。

㊷脚（TEST），测试端。

㊸脚（DEV_ADDR1），设计地址调整 1。

㊹脚（DEV_ADDR0），设计地址调整 0。

㊺脚（SCLK），I^2C 总线时钟线。

㊻脚（SDATA），I^2C 总线数据线。

㊼脚（RESET_N），复位。

㊽脚（VDD3（3.3）），+3.3V 电源。

㊾脚（VSSio），接地。

㊿～(61)、(64)～(67)、(70)～(79)、(82)～(87)脚（SDRAMD0～SDRAMD31），动态存储器数据总线。

图 7-2　FLI2310 数字格式变换电路（b）

(62) (68) (80) (88)脚，+3.3V 电源。

⑥③ ⑥⑨ ⑧① ⑧⑨脚，接地。

⑨①～⑨⑤、⑨⑧～⑩③脚（SDRAM ADDR10～SDRAM ADDR0），动态存储器地址总线。

⑩④脚（SDFRAM WEN），动态存储器可写入控制。

⑩⑤脚（SDRAM RASN），动态存储器，行地址选择。

⑩⑥脚（SDRAM CASN），动态存储器，列地址选择。

⑩⑦脚（SDRAM BA1），选择口 1（圆柱地址 1）。

⑩⑧脚（SDRAM BA0），选择口 0（圆柱地址 0）。

⑩⑨脚（SDRAM CSN），芯片选择。

⑪⓪脚（SDRAM DQM），数据输入/输出屏蔽控制。

⑪①脚（SDRAM CLKOUT），时钟输出。

⑪②脚（VDD6（3.3）），+3.3V 电源。

⑪③脚（VSSio），接地。

⑪④脚（SDRAM CLKIN），时钟输入。

⑪⑤脚（TEST3），测试端 3，接地。

⑪⑥ ⑪⑦脚（TEST OUT0/1），未用。

⑪⑧脚（CTLOUT0），通用输出端口 0，用于场同步输出。

⑪⑨脚（CTLOUT1），通用输出端口 1，用于行同步输出。

⑫⓪脚（CTLOUT2），SHREF 输出。

⑫① ⑫②脚（CTLOUT3/4），未用。

⑫③脚（VDDcore6（1.8）），1.8V 电源。

⑫④脚（VSScore），接地。

⑫⑤脚（CLKOUT），时钟输出。

⑫⑥ ⑫⑦脚（B/U/Pb_OUT_0/1），未用。

⑫⑧脚（VDD7（3.3）），+3.3V 电源。

⑫⑨脚（VSSio），接地。

⑬⓪～⑬⑦脚（B/U/Pb_OUT0～7），8bit B 信号输出端口，用于输出 SVCHROMA0～SVCHROMA7 数据。

⑬⑧脚（VDDcore7（1.8）），1.8V 电源。

⑬⑨脚（VSScore），接地。

⑭⓪～⑭⑤脚（R/Y/Pr_OUT_2～7），8bit R 信号输出端口，未用。

⑭⑥脚（VDD8（3.3）），3.3V 电源。

图 7-3　SDA5550M-QB 图文电视信号处理器（a）

⑭⑦脚（VSSio），接地。

⑭⑧～⑮⑤脚（G/Y/Y_OUT0～7），8bit G 信号或 Y 信号输出端口，用于输出 SVL UMA0～SVLUMA7 数据。

⑮⑥脚（OE），输出允许控制。未用。

⑮⑦ ⑯⑥ ⑯⑦ ⑯⑧ ⑯⑨脚，+1.8V 电源。

⑮⑧ ⑮⑨ ⑯⑤ ⑯⑥ ⑯⑦ ⑯⑨ ⑰⑫ ⑰⑤ ⑰⑧ ⑱④ ⑱⑤ ⑲④ ⑲⑧脚，接地。

⑯⑧脚（DAC_VDD（1.8）），数据供电端，1.8V。

⑰⑩脚（DAC_BOUT），未用。

⑰③脚（DAC_GOUT），未用。

⑰⑥脚（DAC_ROUT），未用。

⑰⑨脚（DAC_COMP），视频补偿输出。

⑱⑩脚（DAC_RSET），复位。

⑱①脚（DAC_VREFOUT），参考供电输出。

⑱②脚（DAC_VREFIN），参考供电输入。

⑱⑧～⑲⓪脚（TEST0~TEST2），测试端，通过 22Ω 电阻接地。

⑲① ⑲②脚，外接 13.5MHz 时钟振荡晶体，用于时钟振荡输入/输出。

⑲⑥脚（IN_CLK_PORT2），时钟输入或端口 2。

⑲⑥、⑲⑨～⑳⑤脚（D1_IN_0～D1_IN_7），输入 GM1601/FLID1～GM1601/FLID7 数据输入。

⑲⑦脚（VDDcore8（1.8）），+1.8V 电源。

⑲⑧脚（VSS core），接地。

⑳⑥脚（FID_PORT2），未用。

⑳⑦脚（VS_PORT2），未用。

⑳⑧脚（HS_PORT2），未用。

图 7-3　SDA5550M-QB 图文电视信号处理器（b）

3. SDA5550M-QB 图文电视信号处理器

SDA5550M-QB 是一种图文电视信号处理集成电路，如图 7-3 所示，但在有些内销机型中未用。其主要引脚使用功能是：

⑨⑨ ① ③ ④ ② ⑩⓪ ⑨⑧ ⑨⑥脚（D0～D7），8bit 数据 SDAD0～SDAD7 输入/输出。

⑨～⑯脚（P0.0～P0.7），输入/输出端口，其中⑨ ⑩脚用于串行时钟线和数据线。

⑰脚（$\overline{ENE}$），使能端。

⑱脚（$\overline{STOP}$），停止控制。

㉑脚（CVBS），视频信号输入。

㉙脚（HS/SSC），行脉冲/沙堡脉冲输入。

㉚脚（VS），场脉冲输入。

㉝ ㉞脚（P3.2/P3.3），输入/输出端口，用于 SEC_SDA/SCL 串行数据线/时钟线输入/输出。

㊹脚（P1.3），输入/输出端口，用于 CC_INT 输出。

㊿脚（$\overline{RST}$），复位。

(52) (53)脚（XTAL2/1），6MHz 时钟振荡输入/输出。

(57) (58) (59)脚，R/G/B 信号输出。

(60)脚（BLANK/COR），快速消隐信号输出。

(64)脚（$\overline{WR}$）数据写入控制。

(65)脚（$\overline{RD}$），数据读出控制。

(68)～(71)、(76)～(78)、(81)～(86)、(89) (90) (93) (94) (97)脚（A18～A0），19bit 地址总线输入。

4．W39L040P（PLCC32R/S）程序储存器

W39L040P 是一种具有 512K×8bit 的快速程序储存器，如图 7-4 所示其主要特点是：

（1）具有 4MB 存储空间的 CMOS 快速存储器。

（2）有很好的擦除功能。

（3）在 3.3V 工作电压下可完成读、写、删除功能。

（4）快速编程时间 50μs。

（5）快速删除最大时间周期为 100ms，页删除时间为 25ms。

（6）读访问时间为 70ms/90ms。

图 7-4　W39L040P（PLCC32R/S）程序储存器电路（a）

（7）有 8 个 64KB 的相同扇区，每个扇区有 16 页 4KB 的容量。

（8）数据可保存 20 年以上。

（9）低功耗，工作时电流 10mA，待机时电流 2μA。

（10）内含地址阵列电路。

N401（W39L040P）的主要引脚使用功能是：

①脚（A18），地址 18 输入，输入 19bit 地址总线 OCMADDR18。

②脚（A16），地址 16 输入，输入 19bit 地址总线 OCMADDR16。

③脚（A15），地址 15 输入，输入 19bit 地址总线 OCMADDR15。

图 7-4　W39L040P（PLCC32R/S）程序储存器电路（b）

④脚（A12），地址 12 输入，输入 19bit 地址总线 OCMADDR12。

⑤脚（A7），地址 7 输入，输入 19bit 地址总线 OCMADDR7。

⑥脚（A6），地址 6 输入，输入 19bit 地址总线 OCMADDR6。

⑦脚（A5），地址 5 输入，输入 19bit 地址总线 OCMADDR5。

⑧脚（A4），地址 4 输入，输入 19bit 地址总线 OCMADDR4。

⑨脚（A3），地址 3 输入，输入 19bit 地址总线 OCMADDR3。

⑩脚（A2），地址 2 输入，输入 19bit 地址总线 OCMADDR2。

⑪脚（A1），地址 1 输入，输入 19bit 地址总线 OCMADDR1。

⑫脚（A0），地址 0 输入，输入 19bit 地址总线 OCMADDR0。

⑬脚（DQ0），8bit 数据输入位 OCMDATA0。

⑭脚（DQ1），8bit 数据输入/输出位 OCMDATA1。

⑮脚（DQ2），8bit 数据输入/输出位 OCMDATA2。

⑯脚（VSS），接地。

⑰脚（DQ3），8bit 数据输入/输出位 OCMDATA3。

⑱脚（DQ4），8bit 数据输入/输出位 OCMDATA4。

⑲脚（DQ5），8bit 数据输入/输出位 OCMDATA5。

⑳脚（DQ6），8bit 数据输入/输出位 OCMDATA6。

㉑脚（DQ7），8bit 数据输入/输出位 OCMDATA7。

㉒脚（CE#），芯片选择控制。

㉓脚（A10），地址 10 输入，输入 19bit 地址总线 OCMADDR10。

㉔脚（OE#），读出允许控制。

㉕脚（A11），地址 11 输入，输入 19bit 地址总线 OCMADDR11。

㉖脚（A9），地址 9 输入，输入 19bit 地址总线 OCMADDR9。

㉗脚（A8），地址 8 输入，输入 19bit 地址总线 OCMADDR8。

㉘脚（A13），地址 13 输入，输入 19bit 地址总线 OCMADDR13。

㉙脚（A14），地址 14 输入，输入 19bit 地址总线 OCMADDR14。

㉚脚（A17），地址 17 输入，输入 19bit 地址总线 OCMADDR17。

㉛脚（WE#），写入存储器数据读出。

㉜脚（VCC），3.3V 电源。

5．W39L080P-70B 程序储存器

N405（W39L080P-70B）为图文电视信号程序储存器，如图 7-5 所示。但在有些内销机型中未用。其引脚功能主要是：

⑫～⑤、㉗ ㉖ ㉓ ㉕ ④ ㉘ ㉙ ③ ② ㉚ ①脚（A0～A18），19bit 地址总线，用于 SDAA0～SDAA18 地址数据输入。

⑬～⑮、⑰～㉑脚（SDAD0～SDAD7），8bit 数据线，用于输入 SDAD0～SDAD7 数据。

⑯脚（VSS），接地。

㉒脚（CE#），芯片选择，接地。

㉔脚（OE#），可输出控制。

㉛脚（WE#），写允许控制。

㉜脚（VCC），+3.3V 电源。

图 7-5　W39L080P-70B 程序储存器电路（a）

6．IS61LV2568L-10T 程序储存器

N404（IS61LV2568L-10T）程序储存器，主要用于图文电视信号处理电路，如图 7-5 所示，但在有些内销机型中未用。其主要引脚使用功能是：

⑳～⑬、③ ② ㉛ ① ⑫ ④ ⑪ ⑦ ⑩ ⑨脚（A0～A17）脚，地址输入，用于输入 SDAA0～SDAA14 和 SDAA16～SDAA18 数字地址信号。

㉑～㉓、㉕～㉙脚（I/O0～I/O7），输入/输出端口，用于输入/输出 SDAD0～SDAD7 数据信号。

⑤脚（$\overline{WE}$），写允许控制。

⑥脚（CS2），芯片选择 2，接+3.3V 电源。

⑧脚（VCC），+3.3V 电源。

图 7-5　W39L080P-70B 程序储存器电路（b）

⑫脚（DD），EXBLK1 消隐信号输出。

⑬脚（S2D），SCARTFB 消隐信号输入。

⑭脚（S1D），图文消隐信号输入。

⑮脚（$\overline{EN}$），接地。

⑯脚（VCC），+5V 电源。

㉔脚（GND），接地。

㉜脚（$\overline{OE}$），可输出控制。

㉚脚（$\overline{CS1}$），芯片选择 1，用于输入 SDAA15 数字地址信号。

7. PI5V330 视频转换开关电路

N408（PI5V330）视频转换开关电路，在该种机芯中主要用于图文电视信号转换输出，如图 7-5 中所示，但在一些内销机型中未用。其引脚功能是：

① 脚（SELECT），SCRT/CCSEL 转换控制信号输入。

②脚（S1A），用于图文 B 信号输入。

③脚（S2A），用于 B 基色信号输入。

④脚（DA），R 信号选择输出。

⑤脚（S1B），用于图文 G 信号输入。

⑥脚（S2B），用于 G 基色信号输入。

⑦脚（DB），G 信号选择输出。

⑧脚（GND），接地。

⑨脚（DC），R 信号输出。

⑩脚（S2C），用于 R 基色信号输入。

⑪脚（S1C），用于图文 R 信号输入。

8. GM1601/GM1501 图像信号处理电路

GM1601/GM1501 是一片集成度高，功能强大的多功能微芯片集成电路，如图 7-6，图 7-7 所示。其主要功能特点是：

（1）3.3V、2.5V 和 1.8V 供电。

（2）内部集成有功能强大的平板图像处理器。

（3）设有 RGB 基色信号输入通道。

（4）设有 DVI 数字视频信号输入通道。

图 7-6　GM1601/GM1501 图像信号处理电路（a）

（5）设有 ITU656 标准的视频信号输入通道。

（6）具有 OSD 控制功能。

（7）内含 X86 微处理器。

（8）内置 PCL 锁相环钟控发生器。

（9）内置 ADC 及智能图像处理功能。

N501（GM1601/GM1501）的主要引脚使用功能是：

N4 脚（DVI_SCL），DVI 数字接口 I^2C 总线时钟线输入。

N3 脚（DVI_SDA），DVI 数字接口 I^2C 总线数据线。

A8 脚（RX0+），DVI 数字对正相输入 0。

B8 脚（RX0–），DVI 数字对反相输入 0。

A9 脚（RX1+），DVI 数字对正相输入 1。

B9 脚（RX1–），DVI 数字对反相输入 1。

A10 脚（RX2+），DVI 数字对正相输入 2。

图 7-6　GM1601/GM1501 图像信号处理电路（b）

B10 脚（RX2–），DVI 数字对反相输入 2。

A6 脚（RXC+），DVI 时钟数字对正相输入。

B6 脚（RXC–），DVI 时钟数字对反相输入。

AE4 脚（GPIO_G09_B0），DVI_CAB 输入。

D5、C5 脚（NO_CONNECT），未用。

B11（REXT），+3.3V_DVI。

B1 脚（BLUE–），蓝反相输入（VGAB）。

B2 脚（BLUE+），蓝正相输入（VGAB）。

C1 脚（GREEN–），绿反相输入（VGAG）。

C2 脚（GREEN+），绿正相输入（VGAG）。

D1 脚（RED–），红反相输入（VGAR）。

D2 脚（RED+），红正相输入（VGAR）。

C3 脚（SOG），绿同步信号输入（VGASOG）。

AF4 脚（GPIO_G09_B1），VGA_CAB。

N2 脚（VGA_SCL），VGA 串行时钟线输入。

N1 脚（VGA_SDA），VGA 串行数据线输入/输出。

L4 脚（AHSYNC），VGA 行同步信号输入。

图 7-7　GM1601/GM1501 图像信号处理电路（a）

L3 脚（AVSYNC），VGA 场同步信号输入。

R4 脚（EXTCLK），外部时钟输入，外接 10kΩ电阻。

G4（XTAL），时钟振荡输入，外接 14.318MHz 晶体振荡器。

G3（TCLK），时钟振荡输出，外接 14.318MHz 晶体振荡器。

E1、K3（NO_CONNECT），未用。

K2 脚（ACS_RSET_HD），复位。

C19、B19、A19、D18、C18、B18、A18、C17 脚（VRED0～VRED7），8bit 数据红信号，未用。

A23、C22、B22、A22、D21、C21、B21、A21 脚（VGRN0～VGRN7），8bit 数据绿信号，未用。

B25、A25、D24、C24、B24、A24、C23、B23 脚（VBLU0～VBLU7），8bit 数据蓝信号，用于输入 8bit（SVCHROMA0～SVCHROMA7）数据。

C16、B16、A16、D15、C15、B15、A15、D14 脚（SVDATA0～SVDATA7），输入 8bit（SVLUMA0～SVLUMA7）数据。

A17 脚（SVDV），用于 SHREF 输入。

A14 脚（SVODD），未用。

B14 脚（SVVSYNC），场同步脉冲输入。

C14 脚（SVHSYNC），行同步脉冲输入。

D16 脚（SVCLK），时钟输入。

A12 脚（LBADC_IN3），用于模/数转换输入 3。

B12 脚（LBADC_IN2），用于模/数转换输入 2。

图 7-7　GM1601/GM1501 图像信号处理电路（b）

C12 脚（LBADC_IN1），用于模/数转换输入 1。

D12 脚（LBADC_RETURN），接地。

A20 脚（VCLK），视频时钟输入。

B20、C20、D19、D20、B17 脚，未用。

C26 脚（PWM0），未用。

C25 脚（PWM1），用于 LED_KEYPAD 控制。

D26（PWM2），用于 LED2_KEYPAD 控制。

M1、M2 脚（OCM_UDO/UDI），用于 UART_D0/1 输入。

K1（/RESET），复位。

M4（IR1），遥控信号输入 1。

M3（IR0），遥控信号输入 0，未用。

P4 脚（MSTR_SCL），时钟线输入。

P3 脚（MSTR_SDA），数据线输入/输出。

AB3～AB1、AC3～AC1、AD1、AE1、AF1、AD2、AE2、AF2、AD3、AE3、AF3、AD4 脚，用做 16bit 数据输入/输出端口，其中 AB3（OCMDATA15）用于 POWER_OFF 控制；AB2（OCMDATA14）用于 RGB/YPbPr 输入选择控制；AB1（OCMDATA13）用于 SCRT/CCSEL 控制；AC1（OCMDATA10）用于 MUTE 控制；AD4、AF3、AE3、AD3、AF2、AE2、AD2、AF1 脚（OCMDATA0～OCMDATA7），用于 8bit 数据输入/输出。

AA1～AA3、Y1～Y3、W1～W3、V1～V4、U1～U4、T1～T3 脚（OCMADDR0～OCMADDR19），20bit 地址总线。

R3（/OCM_WE），数据写控制输出。

R2 脚（/OCM_RE），增强读取控制输出。

R1 脚（/ROM_CS），片选脉冲输出。

L1、L2 脚（/OCM_INT2/1），用于 CC_INT 控制。

AC16 脚（OEXTR），外接 3.3kΩ电阻。

AC5 脚（GPIO_G09_B2），复位控制。

AD5 脚（GPIO_G09_B3），显示控制。

AE5 脚（GPIO_G09_B4），SEC_SCL 时钟线。

AF5 脚（GPIO_G09_B5），SEC_SDA 数据线。

AD6、AE6 脚，用于输出 R1/R0 基色信号。

AF6、AE7 脚，用于输出 G1/G0 基色信号。

AF7、AD8 脚，用于输出 B1/B0 基色信号。

AD7 脚（GPIO_16），输出 DEN 使能信号。

AD16 脚（GPIO_15），输出 DVS 场脉冲信号。

AE17 脚（GPIO_14），输出 DHS 行脉冲信号。

AC7 脚（DCLK），输出 DCLK 时钟信号。

AD23、AD24、AE24、AF24、AE25、AF25、AE26、AF26 脚（GPIO_G04_B0～GPIO_G04_B7），8bit 蓝信号输出。

AD21、AD22、AE21、AF21、AE22、AF22、AE23、AF23 脚，用于 8bit 绿信号输出。

图 7-8 THC63LVD103 低压差分信号传送电路（a）

AC18、AD18、AE18、AF18、AE19、AF19、AE20、AF20 脚，用于 8bit 红信号输出。

Y25、Y26 脚，FSBKSELU0/1 输出。

图 7-8　THC63LVD103 低压差分信号传送电路（b）

W26 脚，FSCKEU 输出。

V24 脚，FSRASU 输出。

V25 脚，FSCASU 输出。

V26 脚，FSWEU 输出。

T25　U25、U26、T24 脚，用于 FSDQMU0～FSDQMU3 输出。

L26 脚，FSDQSU 输入/输出。

U23、U24 脚，FSCLK+/–输出。

AD25、AD26、AC24、AC25、AB26、AA24～AA26、Y24、AB25、AC26、AB24 脚，输出 12bit 地址总线（FSADDRU0～FSADDRU 11）。

E24～E26、G26、G24、H26、H24、J25、T26、R25、P25、P26、N24、N26、M25、L24、L25、M26、M24、N25、N23、P25、R26、R24、K24、J26、H25、G23、G25、F24～F26 脚，输入/输出 32bit 数据总线（FSDATAU0～FSDATA31）。

9. THC63LVD103 低压差分信号传送电路

N504（THC63LVD103）低压差分信号传送电路主要用于转换输出数字对显示驱动信号，如图 7-8 所示。其主要引脚使用功能是：

㊹脚（TD4），用于 8bit 蓝数字位 0（B0）输入。

①脚（TD5），用于 8bit 蓝数字位 1（B1）输入。

㊽脚（TB5），用于 8bit 蓝数字位 2（B2）输入。

㊾脚（TB6），用于 8bit 蓝数字位 3（B3）输入。

㊿脚（TC0），用于 8bit 蓝数字位 4（B4）输入。

(51)脚（VCC），+3.3V 电源。

(52)脚（TC1），用于 8bit 蓝数字位 5（B5）输入。

(53)脚（TC2），用于 8bit 蓝数字位 6（B6）输入。

(54)脚（TC3），用于 8bit 蓝数字位 7（B7）输入。

(55)脚（TC4），DHS 行脉冲输入。

(56)脚（GND），接地。

(57)脚（TC5），DVS 场脉冲输入。

(58)脚（TC6），DEN 使能控制。

(59)脚（TD0），用于 8bit 红数字位 0 输入。

(60)脚（R/F），接地。

(61)脚（TD1），用于 8bit 红数字位 1 输入。

(33)脚（TA0），用于 8bit 红数字位 2 输入。

㉞脚（TA1），用于 8bit 红数字位 3 输入。

㉟脚（TA2），用于 8bit 红数字位 4 输入。

㊱脚（TA3），用于 8bit 红数字位 5 输入。

㊲脚（TA4），用于 8bit 红数字位 6 输入。

㊳脚（TA5），用于 8bit 红数字位 7 输入。

㊷脚（TD2），用于 8bit 绿数字位 0 输入。

㊶脚（TB0），用于 8bit 绿数字位 1 输入。

㊸脚（TD3），用于 8bit 绿数字位 2 输入。

㊵脚（TA6），用于 8bit 绿数字位 3 输入。

㊷脚（TB1），用于 8bit 绿数字位 4 输入。

㊹脚（TB2），用于 8bit 绿数字位 5 输入。

㊺脚（TB3），用于 8bit 绿数字位 6 输入。

㊻脚（TB4），用于 8bit 绿数字位 7 输入。

㊴ ㊼脚，接地。

㊸脚（RS），复位。

② ③ ⑩ ⑭ ⑯脚，接地。

④ ⑤脚，R0/R1 输入。

⑥ ⑧脚，G0/G1 输入。

⑨ ⑪脚，B0/B1 输入。

⑦脚，3.3V 电源。

⑬脚，POWER_OFF 控制输出。

⑰ ㉖ ㉜脚，接地。

⑱ ⑲脚（TE+/–），输出 RX4 数字对 4。

⑳ ㉑脚（TD+/–），输出 RX3 数字对 3。

㉔ ㉕脚（TC+/–），输出 RX2 数字对 2。

㉘ ㉙脚（TB+/–），输出 RX1 数字对 1。

㉚ ㉛脚（TA+/–），输出 RX0 数字对 0。

㉒ ㉓脚（TCLK+/–），输出 RXCLK 时钟数字对。

㉗脚（LVDS VCC），+3.3V 电源。

10. W941232AD 128MB 数据缓冲存储器

N403（W941232AD）是一种 128MB 数据缓冲存储器，主要与 N501（GM1601/GM1501）配合使用，如图 7-9 所示。其主要引脚使用功能是：

图 7-9　W941232AD 128MB 数据缓冲存储器（a）

图 7-9　W941232AD 128MB 数据缓冲存储器（b）

㉛～㉞、㊼～㊿、㊺ ㊱ ㊲脚（A0～A11），12bit 地址总线（FSADDR0～FSADDR11）输入，由 N501（GM1601/GM1501）的 FSADDR0～FSADDR11 端子控制。

㉙ ㉚脚（BA0/1），输入 FSBKSEL0/1 选择控制信号。

㊹脚（$\overline{\text{CLK}}$），FSCLK 时钟信号负极性输入。

㊺脚（CLK），FSCLK 时钟信号正极性输入。

㊸脚（CKE），FSCKE 使能控制。

㉘脚（$\overline{\text{CS}}$），芯片选择，接地。

㉗脚（$\overline{\text{RAS}}$），行地址滤波。

㉖脚（$\overline{\text{CAS}}$），圆柱地址滤波。

㉕脚（$\overline{\text{WE}}$），可写入存储器数据读出。

㊹脚（DQS），数据输入/输出。

㉓ ㊻ ㉔ ㊼脚（DM0～DM3），FSDQ2M0～FSDQM3 数据输入。

⑤ ⑪ ⑲ ㊷ ㊿ ㊻ ㊷ ㊷ ㊾脚（VSSQ），接地。

⑯ ㊻ ㊻ ㊺脚（VSS），电源接地。

㊷脚（MCL），接地。

㊼ ㊽ ㊿ ① ③ ④ ⑥ ⑦ ㊿ ㊶ ㊸ ㊹ ㊽ ㊾ ㊶ ㊷ ⑨ ⑩ ⑫ ⑬ ⑰ ⑱ ⑳ ㉑ ㉔ ㉕ ㉗ ㉘ ㉚ ㉛ ㉝ ㉞脚（DQ0～DQ31），用于 32bit 数据 FSDATA0～FSDATA31 输入/输出。

㊽脚（VREF），参考电压点。

⑮ ㉟ ㊺ ㊻脚（VDD），+2.5V 电源。

② ⑧ ⑭ ㉒ ㊾ ㊼ ㊸ ㊾ ㊻ ㊺脚（VDDQ），+2:5V 电源，用于数据接口供电。

11. W986432DH 64MB 图像缓冲存储器

W986432DH 64MB 是一种 SDRAM 动态存储器，主要用于图像信号缓冲存储，如图 7-10 所示。其主要引脚使用功能是：

㉕ ㉖ ㉗ ㊵～㊻、㉔脚（A0～A10），11bit 地址总线输入，由 N411（F1I2310）的㉑～㉓脚控制。

⑭ ㉑ ㉚ ㊼ ㊾ ㊿ ⑬脚（NC），未用。

⑯ ㉑ ㉘ ㊾脚（DQM0～DQM3），用于 DQM 数据输入/输出模式控制。低电平时为缓存读出模式，高电平时为数据写入模式。由 N411 ⑩脚控制。

㉒ ㉓脚（BA0/1），圆柱地址选择，由 N411 ⑧ ⑦脚控制。

⑰脚（$\overline{WE}$），可写入存储器数据读出。由 N411（FLI2310）④脚控制。

⑱脚（$\overline{CAS}$），圆柱地址滤波。

⑲脚（$\overline{RAS}$），行地址滤波。

⑳脚（$\overline{CS}$），芯片选择。

图 7-10 W986432DH 64MB 图像缓冲存储器（a）

㊽脚（CLK），存储时钟输入。

㊼脚（CKE），时钟控制，通过 1kΩ电阻接入 3.3V 电源。

㊻ ⑫ ㊽ ㊹脚（VSS），负电源接地。

⑥ ⑫ ㉜ ㊳ ㊻ ㊷ ⑦⑧ ⑧④脚（VSSQ），数据输入/输出端口接地。

② ④ ⑤ ⑦ ⑧ ⑩ ⑪ ⑬ ⑭ ⑯ ⑰ ⑲ ⑳ ㉒ ㉓ ㉕ ㉛ ㉝ ㉞ ㊱ ㊲ ㊴ ㊵ ㊷ ㊺ ㊼ ㊽ ㊿ ⑤① ⑤③ ⑤④ ⑤⑥脚（DQ0～DQ31），32bit 数据总线，与 N411（FLI2310）的⑤⓪～⑧⑦脚直通，用于输入/输出 23SDD0～23SDD31 数据。

① ⑮ ㉙ ㊸脚（VDD），+3.3V 电源。

③ ⑨ ㉟ ㊶ ㊾ ㊺ ⑦⑤ ⑧①脚，+3.3V 电源，用于数据输入/输出端口供电。

图 7-10　W986432DH 64MB 图像缓冲存储器（b）

12. MSP3420G 多制式音频处理器

MSP3420G 是 MSP34××G 系列单片多标准音频处理器之一，如图 7-11 所示。其主要引脚使用功能是：

①脚（SCL），I^2C 总线时钟线。

②脚（SDA），I^2C 总线数据线。

N101 为锁相环频率合成式高频调谐器，其引脚功能主要是：

⑪脚 IF1 中频输出。

⑦脚+5V 电源。

④⑤脚 I^2C 总线时钟线、数据线。

①脚为 AGC 控制输入。

图 7-11　MSP3420G 多制式音频处理器（a）

⑩脚（DV_SUP），+5V 电源，用于数字供电。

⑯脚（RESET），复位输入。

⑰脚（DACA_R），耳机信号右声道输出。

⑱脚（DACA_L），耳机信号左声道输出。

N102（TDA9885T）为中频信号处理电路，其主要引脚功能是：
①②脚（VIF1/2），VIF 图像中频信号输入。
⑩ ⑪脚（SDA/SCL），I^2C 总线数据线输入/输出和时钟线输入。
⑫脚（SIOMAD），伴音中频信号输出。
⑭脚（TAGC），高放 AGC 输出。
⑮脚（REF），外接 4.00MHz 参考时钟。
⑰脚（CVBS），视频信号输出。㉓ ㉔脚（SIF1/2），伴音中频信号输入。

图 7-11　MSP3420G 多制式音频处理器（b）

㉑ ㉒脚（DACM_R/L），扬声器信号输出。

㉕ ㉖脚（SC2_OUT_R/L），SCART2 信号输出。

㉘ ㉙脚（SC1_OUT_R/L），SCART1 信号输出。

㉚脚（CAPL_A），耳机音量电容接口，通过 10μF 电解电容接入+5V 电源。

㉛脚（AHVSUP），模拟供电高压端。

㉜脚（CAPL_M），扬声器音量电容接口，通过 10μF 电解电容接入+5V 电源。

㉝ ㉞脚，接地。

㉟脚（SC4_IN_L），SCART4，左（L）声道音频信号输入。

㊱脚（SC4_IN_R），SCART4，右（R）声道音频信号输入。

㊲ ㊵ ㊸脚（ASG1/2/3），模拟地屏蔽，接地。

㊳脚（SC3_IN_L），SCART3，左（L）声道音频信号输入。

㊴脚（SC3_IN_R），SCART3，右（R）声道音频信号输入。

㊶脚（SC2_IN_L），SCART2，左（L）声道音频信号输入。

图 7-12　TDA1308 耳机驱动电路（a）

㊷脚（SC2_IN_R），SCART2，右（R）声道音频信号输入。

㊹脚（SC1_IN_L），SCART1，左（L）声道音频信号输入。

㊺脚（SC1_IN_R），SCART1，右（R）声道音频信号输入。

㊻脚（VREFTOP），IF 中频模/数转换器参考电压滤波。

㊼脚（MONO_IN），单声道输入端，在该机未用。

㊽脚（AVSS），模拟接地。

㊾脚（AVSUP），模拟供电电压，+5V。

㊿ 51脚（ANA_IN1+/–），TV 模拟音频输入，输入 SIT 伴音中频信号。

53脚（TESTEN），复位，接地。

54 55脚（XTAL_IN/OUT），时钟振荡输入/输出，外接 18.432MHz 晶体。

63脚（STDBY），电源开关。

13. TDA1308 耳机驱动电路

TDA1308 是一种耳机驱动电路，主要与高阻抗耳机相匹配，如图 7-12 所示。其主要引脚使用功能是：

①脚（OUTA），耳机音量负极性输出。

②脚（INA（neg）），耳机音量左声道音频信号负极性输入。

③脚（INA（pos）），耳机音量左声道音频信号正极性输入。

④脚（VSS），负电源接地。

⑤脚（INB（pos）），耳机音量右声道音频信号正极性输入。

⑥脚（INB（neg）），耳机音量右声道音频信号负极性输入。

图 7-12　TDA1308 耳机驱动电路（b）

14. TDA8946J 双伴音功放输出电路

TDA8946J 是一种具有静音功能的双音频功率放大集成电路，如图 7-13 所示，其主要引脚使用功能是：

①脚（OUT1+），功率放大器 1 正极性输出，输出左声道正极性音频功率信号，并通过 XS204①脚加到左侧扬声器的正极性端。

②脚（GND1），功率放大器 1 接地端。

③脚（VCC1），功率放大器 1 供电端。

④脚（OUT1-），功率放大器 1 负极性输出，输出左声道负极性音频功率信号，并通过 XS204③脚加到左侧扬声器的负极性端。

⑤脚（NC），未用。

⑥脚（IN1+），左声道音频信号正极性输入。

⑦脚（SGND），接地。

图 7-13　TDA8946J 双伴音功放输出电路

⑧脚（IN1-），左声道音频信号负极性输入。

⑨脚（IN2-），右声道音频信号正极性输入。

⑩脚（MODE），用于静音控制信号输入。

⑪脚（SVR）。

⑫脚（IN2+），右声道音频信号正极性输入，其输入信号电路如图 7-14 所示。

⑬脚（GC），外接偏置电路。

⑭脚（OUT2+），功率放大器 2 正极性输出，输出右声道正极性音频功率信号，并通过 XS203①脚加到右侧扬声器的正极性端。

⑮脚（GND2），功率放大器 2 接地端。

⑯脚（VCC2），功率放大器 2 供电端。

⑰脚（OUT2–），功率放大器 2 负极性输出，输出右声道负极性音频功率信号并通过 XS203③脚加到右侧扬声器的负极性端。

XS306 用于输入 YPbPr 信号的左右声道音频信号。其中④脚输入左声道音频信号，外接 D321（BAV99L）为双向限幅器，主要起保护作用；②③脚输入右声道音频信号，外接 D320（BAV99L）为双向限幅器，主要起保护作用。

XS308 用于输入 YCbCr 信号的左右声道音频信号，其中④脚输入左声道音频信号，外接 D325（BAV99L）用于尖峰脉冲钳位；②③脚输入右声道音频信号，外接 D324（BAV99L）用于尖峰脉冲钳位。

XS309 用于 PC 左右声道音频信号输入，其中②脚输入 PC 左声道音频信号，外接 D326（BAV99L）用于尖峰脉冲限幅，主要起保护作用；④脚输入 PC 右声道音频信号，外接 D327（BAV99L）用于尖峰脉冲限幅，主要起保护作用。

XS311C 用于 AV 音频信号输入，其中②脚输入左声道音频信号，④脚输入右声道音频信号。

D308、D307、D306（BAV99L），分别用于 Y、Cb、Cr 输入信号尖峰脉冲限幅，起保护作用。

XS303 用于输入隔行扫描信号，其中，①脚输入隔行 Y（亮度）信号，②脚输入隔行 B 分量信号，③脚输入隔行 R 分量信号。

图 7-14　外部音频信号输入电路

15. 低压电源供电电路

低压电源供电电路主要由 N801（BA50BC0FP）、N803（BA18BC0FP）、N805（MP1410ES）、N807（BA18BC0FP）、N808（BA25BC0FP）等组成，为整机小信号处理电路供电，如图 7-15、图 7-16 所示。

N801（BA50BC0FP）为+5V 稳压器。主要产生+5V_DEC 和+5V_TUNER 两组电压，其中+5V_DEC 主要为 N408（P15V330）图文信号转换开关电路和 N103（MSP3420G）音频信号处理电路等提供工作电压。N801①脚输入电压为 6V/9V。

N803（BA18BC0FP）为 1.8V 稳压器，主要产生+1.8V_SW 电压，并经 L417 和 L419 分两路输出 DAC1.8V 和 PLL1.8V。其中，DAC1.8V 主要为 N411（FLI2310 数字视频格式变换）⑯脚供电；PLL1.8V 主要为 N411（FIL2310）的㊲脚、㊹脚、㊶脚、㊸脚、㊸脚供电。在待机状态+1.8V_SW 无输出。在正常工作时，N803①脚电压 3.3V，③脚电压 1.8V。

图 7-15　低压电源供电电路（a）

N807（BA18BC0FP）为+1.8V 稳压器，主要产生+18V 和+1.8V_CORE 两组电压，其中+18V 生成+1.8V_ADC 供给 N501（GM1601/GM1501）的 A3、A4 脚；+1.8V_CORE 供给 N501（GM1601/GM1501）的 R17、U17、U11、L16、T16、T17、L11、K10、K16、T11、U16、U10、K11、K23 脚。正常工作时①脚为 3.3V 电压；③脚为 1.8V 电压。

N808（BA25BC0FP）为+2.5V 稳压器，主要产生+2.5V_DDR 电压和+2.5V_TELE 电压。其中+2.5V_DDR 主要为 N501（GM1601/GM1501）的 H23、D23、AC4、AC6、AC8、AC10、D22、AA4、W4、AB4、Y4、C13 脚和 N403（W941232AD）的② ⑧ ⑭ ㉒ ㊾ ㊼ ㊸ ㊾ ㊻ ㊺脚供电。正常工作时 N808①脚电压为 3.3V，③脚电压为 2.5V。

N805（MP1410ES）是一种具有开关功能的低电压稳压输出电路，主要产生+3.3V 和+3.3V_APC 两组电压，其中+3.3V 电压分支为+3.3V_LVD103 和+3.3V_D1G 两路电压，分别供给 N504（THC63LVD103 和 N401（W39L040P））等；+3.3V_ADC 电压分支为+3.3V_LBADC、+3.3V_PLL、+3.3V_LVDSB、+3.3V_LVDS 等，主要为 N501（MG1601/MG1501）部分引脚供电。正常工作时，N805 的②脚电压为 5.0V，③脚电压为 3.3V。

图 7-16 低压电源供电电路（b）

16. VGA 和 S 端子输入接口电路

VGA 和 S 端子输入接口电路如图 7-17 所示。

N302（AT24C21）为双模式 I^2C 串行存储器，主要用于 VGA 输入电路，在 I^2C 总线控制下完成写入和读出 VGA 信号数据任务。

N303 为施密特触发器，主要用于 VGA 输入电路，对 VGA 插口输入的 VS 场同步信号和 HS 行同步信号进行整形处理。

VGA 插口，主要用于输入 PC 的视频信号及扫描同步信号。其中：

①脚输入 R 基色信号。
②脚输入 G 基色信号。
③脚输入 B 基色信号。
④脚，未用。
⑤脚，接地。
⑥脚，接地。
⑦脚，接地。
⑧脚，接地。
⑨脚，+5V 电源（VGA_5V）。
⑩脚，接地。
⑪脚，未用。
⑫脚，VGA-SDA 串行数据线。
⑬脚，A-HS 行同步信号输入。
⑭脚，A-VS 场同步信号输入。
⑮脚，VGA-SCL 串行时钟线。

XS302 用于输入外部逐行 YP6P2 信号，其中①脚输入 Y（亮度）信号，并经 TC408 耦合送入 N305 的⑥脚；②脚输入 Pb 色度 B 分量信号，并经 TC409 耦合送入 N305 的③脚；③脚输入 Pr 色度 R 分量信号，并经 TC428 偶合送入 N305 的⑩脚。

图 7-17　VGA 和 S 端子输入接口电路（a）

N305（PI5V300 视频转换开关）用于转换输出由 VGA 端子输入的视频信号和由 YPbPr 端子输入的视频信号。其中：

①脚，（SELECT），VGA-RGB/YPbPr 转换控制信号输入。

②脚（S1A），输入 VGA-B 信号，经转换后从④脚输出。

③脚（S2A），输入 YPbPr 端子的 Pb 信号，经转换后从④脚输出。

⑤脚（S1B），输入 VGA-G 信号，经转换后从⑦脚输出。

⑥脚（S2B），输入 YPbPr 端子的 Y 信号，经转换后从⑦脚输出。

⑪脚（S1C），VGA-R 信号输入，经转换后从⑨脚输出。

⑩脚（S2C），输入 YPbPr 端子的 Pr 信号，经转换后从⑨脚输出。

XS311D 插口，用于输入 AV 左右音频信号，其中②脚用于输入左（L）声道音频信号；④脚输入右（R）声道音频信号。

XS310 为 S 端子输入 1，主要用于输入外部的 Y/C 分离信号。其中：

① ②脚，接地。

③脚（C1_IN），S 端子 1 色度信号 C 输入。

④脚（Y1_IN），S 端子 1 亮度信号 Y 输入。

⑤ ⑥ ⑦脚，接地，并用于 S 端子识别信号输入。

图 7-17　VGA 和 S 端子输入接口电路（b）

17. DVI 数字视频及 SCRT 输入接口电路

DVI 数字视频及 SCRT 输入接口电路如图 7-18、图 7-19、图 7-20 所示。

X301（DVI）用于数字视频信号输入，其中：
① ②脚输入 RX2 数字对，可为 B 数字信号。
⑨ ⑩脚输入 RX1 数字对，可为 G 数字信号。
⑰ ⑱脚输入 RX0 数字对，可为 R 数字信号。
㉓ ㉔脚输入 RXC 时钟数字信号。

图 7-18　DVI 数字视频输入接口电路

XS307 为 SCART2 输入接口，其中：
①脚用于输出视频信号。
⑦ ⑧脚用于输入 Y1/C1 信号。
⑨ ⑩脚用于输入 PC 和 L/R 音频信号。

图 7-19　SCART2 输入接口电路

XS305 插口用于输入 SCART1 信号，其中：
① ③脚用于输出 SCRT1 左右声道音频信号。
② ⑥脚用于输入 SCRT3 左右声道音频信号。
⑧脚用于输入 SCRT1_FSEL 选择信号。
⑪脚用于输入隔行扫描（YCbCr）的 Y（亮度）信号。
⑮脚用于输入隔行扫描（YCbCr）的 R 分量信号。
⑦脚用于输入隔行扫描（YCbCr）的 B 分量信号。
⑯脚用于输入 EXBLK1 消稳信号。
⑲脚用于输出 SC1VOUT 视频信号。
⑳脚用于输入 SCRT1CV 信号。

D309~D311（BAV99L）、D317~D319（BAV99L）为双向限幅器件，主要用于尖峰脉冲，钳位保护。其中：
D309（BAV99L），用于 XS305⑪脚输入的 Y 信号（或 G 基色信号）过脉冲钳位。
D310（BAV99L），用于 XS305⑦脚输入的 Cb（或 B 基色信号）过脉冲钳位。
D311（BAV99L），用于 XS305 ⑮脚输入的 Cr（或 R 基色信号）过脉冲钳位。
D317（BAV99L），用于 XS305⑳脚输入的 SCRT1CV 信号过脉冲钳位。
D318（BAV99L），用于 XS305⑥脚输入的 SCRT3_A1L 信号过脉冲钳位。
D319（BAV99L），用于 XS305②脚输入的 SCRT3_A1R 信号过脉冲钳位。

图 7-20　RCAR1 接口电路

18. 等离子屏显示器功率脉冲电源电路

等离子屏显示器功率脉冲电源主要由 Z121、Z181、Z151、IC801 等组成，产生和控制屏显驱动模块工作电压和寻址驱动电压。其电路如图 7-21、图 7-22 所示。

图 7-21　等离子屏显示器功率脉冲电源电路（a）

图 7-21　等离子屏显示器功率脉冲电源电路（b）

3.3V 电源，由 T121 等组成的开关稳压电源提供，主要供给 IC801 控制电路。

+5V 电压输出通过 P801 ⑥脚送入电源供给及控制电路。

+12V 电压输出，主要供给模拟电路。

+6V 电压输出，主要供给模拟电路。

输出 S19V 电源。

控制输出 Va 寻址电压。

控制输出 Vs 维持电压。

图 7-22 屏显脉冲电源控制电路（a）

IC801 主要用于屏显脉冲电源控制，其部分引脚功能是：

①脚，接地。

② ③脚，时钟振荡输入/输出。

④脚，测试端。

⑤脚，3.3V 电源。

⑥脚，VS-ON 控制输入。

⑦脚，P22 控制输入。

⑧脚，复位。

⑨脚，PS-ON 控制输入

⑫脚，用于经串行口接收数据。

⑬脚，用于经串行口发送数据。

⑭脚，外接 PC181 光电耦合器，用于 PFCON 控制。

⑮脚，外接 PC202 光电耦合器，用于 VmON 控制。

⑯脚，外接 PC222 光电耦合器，用于 VS-ON 控制。

⑰脚，用于 FET-ON/OFF 放电控制。

⑱脚用于 RL1-ON 继电器（RL101）控制。

⑲脚，用于 RL102 控制。

图 7-22　屏显脉冲电源控制电路（b）

19. 开关稳压电源电路

在康佳 PDP4217G 型等离子电视机中，开关稳压电源主要分为三组，第一组由 T201 开关变压器和 Z201 电源块等组成，主要提供 30V、12V、9V、5V 直流工作电压；第二组由 T221 开关变压器和 Z1 电源控制电路等组成，主要提供 180V～195V 直流电压；第三组由 T271 开关变压器和 Z240 电源块等组成，主要提供 55～65V 直流电压。其电路图如图 7-23、图 7-24 所示。

Z1 为开关电源控制电路，⑥脚和⑩脚输出开关脉冲，用于驱动 Q221 和 Q223。

Z240 是一种内含电源开关管的开关稳压电源模块，其主要引脚功能是：
①脚，负反馈输入。
②脚，接地。
③脚，开关管 C 极。
④脚，工作电压输入。
⑤脚，自动稳压环路控制。

图 7-23　开关稳压电源一（a）

RC401 整流二极管组件，用做全波整流，输出不低于 1.3A 的 180~195V 直流电压，主要为 PDP 等离子显示屏扫描电极驱动模块提供维持电压。

PC221 光电耦合器和 Z401、RV401、R408、R407、R406、R410 等组成稳压控制环路。其中 Z401 为灵智元件，它与 RV401 组成误差取样放大电路，用于自动调整 PC221 的导通电流，并反馈到 Z1 的⑬脚，以实现自动稳压控制，调整 RV401 的阻值，可调整 RC401 整流输出电压。PC221 的基准电压通过 R401 取自由 T121 等组成的开关电源中 D605④脚输出的 3.3V 电压。

RC501 整流二极管组件，主要用于整流输出不低于 1.4A 的 55~65V 直流电压，为 PDP 显示屏数据寻址驱动电路提供寻址电压。

PC271 光电耦合器和 Z501、RV501、R508 等组成稳压控制环路。其中 Z501 和 RV501 组成误差取样放大电路，用于自动调整 PC271 内置发光二极管的导通电流大小，并反馈到 Z240 的⑤脚，以实现自动稳压控制。PC271 的基准电压取自 3.3V 电源。

图 7-23 开关稳压电源一（b）

Z201 是一种内含电源开关管的电源模块，其主要引脚功能是：

①脚，反馈输入。

②脚，接地。

③脚，开关管 C 极。

④脚，工作电压输入。

⑤脚，自动稳压环路控制。

D308、D313 为整流二极管，但其整流输出可通过 PN301、PN302 与 PN303 的连接方式改变输出电压值。当 PN301 与 PN303 接通时，其整流输出为 30V；当 PN302 与 PN303 接通时，其整流输出为 24V。

PC202 光电耦合器用于控制 Q202 的工作状态，PC202 的初级部分受 IC801 的⑮脚控制。当 IC801⑮脚输出低电平时，PC202 呈导通状态，Q202 因获得偏置而导通，Z201④脚有工作电压输入，Q202 导通电压由 Z121 待机电源提供。

PC201 光电耦合器，与 D207、Z304、R332~R335 等组成自动稳压控制环路，其中 Z304 为灵智元件，L302 输出电压的变化量通过 Z304 加到 PC201 的初级，使其初级的导通电流发生相应变化，并通过次级反馈到 Z201 的⑤脚，以实现自动稳压。

RC302 为整流二极管组件，用于整流输出不低于 4.5A 电流的 5V 或 5.2V 直流电压，并通过 P803 的③ ④脚和 P804 的④ ⑤ ⑥脚、P803 的① ② ③脚送入负载电路。

图 7-24　开关稳压电源二（a）

Z301 为 12V 稳压器，主要用于稳压输出不低于 1A 电流的+12V 直流电压，并通过 P803 的⑦ ⑧脚送入负载电路。

Q302 为电源调整管，主要输出 30V 或 24V 直流电压，但它受由 Q301、Q303、D301、R312~R315 等组成的稳压环路控制。当 Q302 输出的 30V 电压变化时，加到 Q303 基极的取样电压也变化，在 D301 基准钳位的作用下，Q303 的导通阻值变化，Q301 的偏置电压变化，Q303 导通阻值变化，Q302 的偏置电压变化，从而使 Q302 的输出电压得以调整。

Z302 为+9V 稳压器，主要用于稳压输出不低于 2A 电流的+9V 直流电压，并通过 P804 的① ②脚和 P809 的①脚送入负载电路。

图 7-24 开关稳压电源二（b）

封面
书名
版权
前言
目录
液晶、等离子彩色电视机概述
第１章　教你看懂康佳ＬＣ－１５２０Ｔ／１５２１Ｔ液晶彩色电视机整机线路图
　　１．ＪＳ－６Ｂ１／１１１（４Ｄ１２１）频率合成高频调谐器及中频输出电路
　　２．ＴＤＡ７４０Ｄ伴音处理电路
　　３．ＴＤＡ７２６８双音频功放输出电路
　　４．ＳＡＡ７１１４Ｈ多制式视频解码器
　　５．Ｍ６７５９　ＭＣＵ微处理器电路
　　６．ＲＧＢ／ＶＧＡ输入接口电路
　　７．ｇｍ５０１０图像数字处理控制电路
　　８．液晶屏显示器引脚及８位ＲＧＢ基色信号输入电路
　　９．ＬＭ２５９６Ｓ－５．０电源管理电路
　　１０．低压电源滤波电路
　　１１．Ｍ６７５９／ＰＬＣＣ４４微处理器（ＭＣＵ）控制电路
　　１２．ｇｍＺＡＮ２图像数字处理控制电路
第２章　解读康佳ＬＣ－１７００Ｔ液晶彩色电视机整机线路图
　　１．伴音小信号处理及功放输出电路
　　２．多制式视频解码器电路
　　３．Ｐ８９Ｃ６１Ｘ２ＢＡ微处理器控制电路
　　４．ＣＮ７０２、ＣＮ７０３接口电路
　　５．ＰＣ－ＶＧＡ／ＲＧＢ输入接口电路
　　６．ｇｍ５０２０图像数字处理控制器电路
　　７．ＬＶＤＳ８３Ａ驱动及液晶显示器电路
第３章　解读康佳ＬＣ－ＴＭ２０１８型液晶彩色电视机整机线路图
　　１．ＴＶ接收及ＩＦ信号输出电路
　　２．ＴＤＡ９８８５Ｔ中频信号处理电路
　　３．ＭＳＰ３４６３Ｇ多标准音频处理电路
　　４．ＴＤＡ１５１７Ａ双通道立体声功率放大器
　　５．ＰＱ０５ＲＤ１１和ＭＰ１４１０ＥＳ＋５Ｖ稳压电路
　　６．ＴＣ９０Ａ６９Ｆ数字Ｙ／Ｃ分离电路
　　７．外部ＡＶ信号输入电路
　　８．ＴＢ１２７４ＡＦ视频信号解码电路
　　９．Ｚ８６２２９ＴＶ信号处理电路
　　１０．本机键盘输入电路
　　１１．７４ＬＶＣ５４１Ａ三态线性驱动缓冲器
　　１２．７４ＬＶ２７３Ａ八路四态数字缓冲器
　　１３．开关稳压电源电路
　　１４．７４ＨＣ４０５２Ｄ电子开关转换电路
　　１５．ＦＳＡＶ３３０视频转换开关电路
　　１６．ＰＷ１３０６ＬＣＤ图像处理控制电路
　　１７．显示控制电路
　　１８．ＡＭ２９ＬＶ８００ＢＴ－９０程序存储器电路
第４章　解读ＴＣＬ－ＬＣＤ３０２６型液晶彩色电视机整机线路图
　　１．８０Ｃ３２ＰＬＣＣ控制器
　　２．ＡＴ２４Ｃ１６Ｅ２ｐＲＯＭ只读存储器
　　３．Ｗ２７Ｃ０３２０／ＳＳＴ２９Ｅ０２０程序存储器
　　４．ＦＬＩ２２００图像处理电路（Ｌ６Ａ部分）
　　５．ＡＤ９８８３图像数字化处理电路
　　６．ＦＩＬ２２００图像处理电路（Ｕ６Ｂ部分）
　　７．ＶＧＡ接口电路
　　８．Ｋ４Ｓ６４３２３２Ｃ　ＳＤＲＡＭ存储器
　　９．ＦＬＩ２２００图像处理电路（Ｕ６Ｃ）部分
　　１０．ＪＡＧＵＡＲ－ＤＩＧＩ－ＴＡＬ（Ｕ１１Ａ）
　　１１．ＪＡＧＵＡＲ－ＳＤＲＡＭ（Ｕ１１Ｂ）
　　１２．ＪＡＧＵＡＲ－ＰＡＮＥＬ（Ｕ１１Ｃ）
　　１３．ＪＡＧＵＡＲ－ＡＮＡＬＯＧ（Ｕ１１Ｄ）
　　１４．Ｋ４Ｓ６４３２３２Ｃ（Ｕ１２）ＳＤＲＡＭ存储器
　　１５．Ｋ４Ｓ６４３２３２Ｃ（Ｕ１３）ＳＤＲＡＭ存储器
　　１６．ＳｉＩ１６１／ＴＭＤＳ数字解码输出电路
　　１７．ＲＰ１６～ＲＰ２６排阻电路
　　１８．ＢＡＣＫＬＩＧＨＴ背光灯供电源控制电路
　　１９．ＳＮ７５ＬＶＤＳ８３液晶屏驱动电路
　　２０．ＬＣＤ引脚电路
第５章　解读康佳ＰＤＰ４６１８型（ＰＷ１８１机芯）等离子彩色电视机整机线路图
　　１．ＴＶ接收电路及预中频放大器
　　２．ＴＤＡ９８８５Ｔ中频处理电路及声表面波滤波器
　　３．耳机输出接口及静噪控制电路
　　４．ＭＳＰ３４６３Ｇ多制式音频处理系统

５．ＶＰＣ３２３０Ｄ主画面视频数字解码电路
６．Ｎ３８５（ＶＰＣ３２３０Ｄ）副画面视频数字解码电路
７．ＰＷ１２３２数字扫描格式变换电路
８．Ｆｌａｓｈ－８Ｍ程序存储器
９．ＸＳ０３０（ＳＯＣＫＥＴ３０Ｘ２－ＮＳ）显示屏引脚插座线路
１０．ＭＴ４８ＬＣ４Ｍ１６Ａ２同步动态存储器电路
１１．ＰＷ１８１图像像素处理电路
１２．ＭＳＴ３７８８　ＤＶＩ、ＲＧＢ输入Ａ／Ｄ变换电路
１３．ＬＭ２３９Ｄ按键控制电路
１４．ＤＳ９０Ｃ３８５ＭＤＴ低压差分（ＬＶＤＳ）平板显示链路发送器
１５．外部ＶＧＡ输入接口电路
１６．ＤＶＩ数字视频交互（技术）接口电路
１７．低压电源管理电路
１８．ＹＰｂＰｒ／ＨＤＴＶ输入接口电路
第６章　ＴＣＬ　ＰＤＰ　４２Ｕ３Ａ－Ｌ（ＰＷ１１８机芯）等离子彩色电视机整机线路图
１．ＤＶＩ数字视频输入接口电路
２．ＶＧＡ输入接口电路
３．ＹＰｂＰｒ色差分量信号输入接口电路
４．ＲＳ２３２ＥＳＤ保护接口电路
５．ＰＷ１８８机芯数字板电路原理图
６．ＴＨＣ６３ＬＶＤＭ８３Ａ程序存储器
７．ＰＷ３３００视频解码电路
８．ＳＤＲＡＭ×１６Ｍ－ＴＳＯＰ５０同步动态存储器
９．ＰＷ１１８图像处理电路
１０．Ｍ１３Ｓ１２８１６８Ａ动态随机存储器
１１．Ｕ２０（Ｆｌａｓｈ－８Ｍ）闪速存储器
１２．ＰＩＣ１６Ｆ７１６ＭＣＵ微控制器电路
１３．Ｓ３５３８０Ａ时钟振荡电路
１４．ＴＰＡ３００４Ｄ２音频功放电路
１５．ＭＳＰ３４５０音频信号处理电路
１６．ＴＵＮ１（Ｑ７－３８９Ｆ１５－Ｎｘｏ）高频调谐器电路
１７．ＳＹＮＣ－ＳＥＰ复合同步信号输出电路
第７章　解读康佳ＰＤＰ４２１７Ｇ等离子彩色电视机整机线路图
１．ＶＰＣ３２３０Ｄ视频解码电路
２．ＦＬＩ２３１０数字格式变换电路
３．ＳＤＡ５５５０Ｍ－ＱＢ图文电视信号处理器
４．Ｗ３９Ｌ０４０Ｐ（ＰＬＣＣ３２Ｒ／Ｓ）程序储存器
５．Ｗ３９Ｌ０８０Ｐ－７０Ｂ程序储存器
６．１Ｓ６１ＬＶ２５６８Ｌ－１０Ｔ程序储存器
７．Ｐ１５Ｖ３３０视频转换开关电路
８．ＧＭ１６０１／ＧＭ１５０１图像信号处理电路
９．ＴＨＣ６３ＬＶＤ１０３低压差分信号传送电路
１０．Ｗ９４１２３２ＡＤ　１２８ＭＢ数据缓冲存储器
１１．Ｗ９８６４３２ＤＨ　６４ＭＢ图像缓冲存储器
１２．ＭＳＰ３４２０Ｇ多制式音频处理器
１３．ＴＤＡ１３０８耳机驱动电路
１４．ＴＤＡ８９４６Ｊ双伴音功放输出电路
１５．低压电源供电电路
１６．ＶＧＡ和Ｓ端子输入接口电路
１７．ＤＶＩ数字视频及ＳＣＲＴ输入接口电路
１８．等离子屏显示器功率脉冲电源电路
１９．开关稳压电源电路